

【特許請求の範囲】**1. データ処理用の主演算手段と、**

該主演算手段からのコマンドに従い、周辺機器に対する周辺機器データの
入出力を行う副演算手段と

を備える、周辺機器が接続されたデータ処理装置。

2. 前記副演算手段は、前記周辺機器から識別データを読み出すことにより周辺
機器の種類を識別し、かつ識別された種類の周辺機器についてのデータを前記主
演算手段に出力する請求項1記載のデータ処理装置。

3. 前記周辺機器を前記主演算手段と副演算手段との何れかに接続する接続切換
手段を備える請求項1または2記載のデータ処理装置。

4. 前記接続切換手段は、前記主演算手段からの切換信号に従って、周辺機器が
この主演算手段または副演算手段の何れかに接続するように制御される請求項1
または2記載のデータ処理装置。

5. 前記周辺機器の種類に応じて前記接続切換手段が制御される請求項1または
2記載のデータ処理装置。

6. 前記周辺機器の動作速度特性が高速型である場合には、前記接続切換手段は
、前記周辺装置を前記主演算手段に接続するように制御され、動作速度特性が低
速型である場合には、前記接続切換手段は、前記接続切換手段が当該周辺装置を
前記副演算手段に接続するように制御される請求項5記載のデータ処理装置。

7. 前記主演算手段によって実行されるプログラムに応じて前記接続切換手段が
制御される請求項3ないし6のいずれか一項記載のデータ処理装置。

8. 周辺機器から周辺機器データを収集するデータ収集手段と、

収集された周辺機器データに基づき、所定時間間隔でデータ処理を実行す
るデータ処理手段と、

データ収集手段による周辺機器データの収集が該データ処理が開始する直
前に終了するよう、該データ収集手段を制御するデータ収集制御手段と

を備える、周辺機器が接続されたデータ処理装置。

9. 前記データ収集制御手段は、前記データ収集手段による周辺機器データの収

集がデータ処理の開始時刻直前に終了するよう、当該データ収集手段による周辺機器データ収集開始時刻を決定する請求項8記載のデータ処理装置。

10. 前記データ収集制御手段は、

周辺機器データの前回の収集がデータ処理の実行開始時刻までに終了した場合には、前記データ収集手段による周辺機器データの収集がデータ処理の開始時刻直前に終了するよう、周辺機器データの前回の収集時間に基づき周辺機器データの収集開始時刻を決定する処理(1)と、

周辺機器データの前回の収集がデータ処理の開始時刻までに終了しなかった場合には、周辺機器データの収集開始時刻を早める処理(2)と

に基づき、周辺機器データの収集開始時刻を決定する請求項9記載のデータ処理装置。

11. 前記データ収集制御手段は、前記処理(1)および前記処理(2)を繰り返し実行する請求項10記載のデータ処理装置。

12. 前記データ収集制御手段は、前記データ収集手段による周辺機器データの収集がデータ処理の開始時刻直前に終了するよう、データ収集手段におけるデータ収集時間を制御する請求項8記載のデータ処理装置。

13. 前記副演算手段は、周辺機器から出力される周辺機器データの収集を、所定の時刻に開始するデータ収集手段と、収集された周辺機器データに基づき、所定時間間隔でデータ処理を実行するデータ処理手段と、該データ収集手段による周辺機器データの収集がデータ処理の開始時刻直前に終了するよう、周辺機器データの収集開始時刻を決定するデータ収集制御手段とを備える請求項1ないし7のいずれか一項記載のデータ処理装置。

14. 前記周辺機器の信号線がデータ処理装置の端子に接続しているか否かを判断する判断手段を備える請求項1ないし13のいずれか一項に記載のデータ処理装置。

15. 周辺機器から出力される周辺機器データの収集を、所定のデータ収集開始時刻に開始する工程と、

収集された周辺機器データに基づき、所定時間間隔でデータ処理を実行す

る工程と、

周辺機器データの収集がデータ処理の開始時刻直前に終了するよう、周辺機器データの収集開始時刻を決定する工程と

を備えるデータ処理方法。

16. 周辺機器データの前回の収集がデータ処理の開始時刻までに終了した場合には、周辺機器データの前回の収集時間に基づき、周辺機器データの収集がデータ処理の開始時刻直前に終了するよう、前回収集された周辺機器データに基づき周辺機器データの収集開始時刻を決定する工程と、

周辺機器データの前回の収集がデータ処理の開始時刻までに終了しなかった場合には、周辺機器データの収集開始時刻を早める工程と

を備える請求項15記載のデータ処理方法。

17. 周辺機器に接続可能なコネクタ端子と、このコネクタ端子に接続された周辺機器からのデータに基づいてデータ処理を行うデータ処理手段と、該周辺機

器の信号線が該コネクタ端子に接続しているか否かを判断する判断手段とを備えるデータ処理装置であって、

前記コネクタ端子を介して前記周辺機器の種類識別用の識別データを読み出した後、この周辺機器に対して周辺機器データの通信を行う通信手段を備え、前記判断手段は、この通信手段によって所定時間間隔で複数回読み出された識別データが全て一致することを条件に、前記周辺機器の信号線が前記コネクタ端子に接続されたと判断するデータ処理装置。

18. 周辺機器に接続可能なコネクタ端子と、このコネクタ端子に接続された周辺機器からのデータに基づいてデータ処理を行うデータ処理手段と、該周辺機器の信号線が該コネクタ端子に接続しているか否かを判断する判断手段とを備えるデータ処理装置であって、

前記コネクタ端子は、前記周辺機器が前記コネクタ端子に接続されていない時に、周辺機器の未接続状態を示す所定のデータが周辺機器から出力されるようにブルアップまたはブルダウンされ、当該データ処理装置は、コネクタ端子を介して前記周辺機器に対して周辺機器データの通信を行う通信手段を備え、該判断

手段は、周辺機器の未接続状態を示す所定のデータの反転を含む接続確認用データが前記周辺機器から送信された場合であって、かつ、該通信手段により受信された接続確認用データが周辺機器の未接続状態を示す所定のデータが反転したものと異なると判断した場合には、周辺機器がコネクタ端子に未接続であると判断するデータ処理装置。

19. 周辺機器に接続可能なソケットコネクタ端子と、このソケットコネクタ端子に接続された周辺機器からのデータに基づいてデータ処理を行うデータ処理手段と、該周辺機器の信号線が該ソケットコネクタ端子に接続されているか否かを判断する判断手段とを備えるデータ処理装置であって、

前記ソケットコネクタ端子は、プラグコネクタ端子を有する周辺機器に接続可能であり、そのうち一つは電源またはグランド(GND)の何れかに接続され、当該データ処理装置は、プラグコネクタ端子およびソケットコネクタ端

子を通じて周辺機器に対して周辺機器データの通信を行う通信手段を備え、前記判断手段は、電源またはGNDの何れかに接続されたプラグコネクタ端子に対応するソケットコネクタ端子の信号レベルが、当該プラグコネクタ端子の信号レベルと異なる場合には、周辺機器がソケットコネクタ端子に未接続であると判断するデータ処理装置。

20. 周辺機器に接続可能なコネクタ端子と、このコネクタ端子に接続された周辺機器からのデータに基づいてデータ処理を行うデータ処理手段と、該周辺機器の信号線が該コネクタ端子に接続しているか否かを判断する判断手段とを備えるデータ処理装置であって、

周辺機器に対してデータ要求の信号を送信した後、周辺機器から応答信号および周辺機器データの受信を行う通信手段を備え、前記判断手段は、この通信手段がデータ要求の信号を送信してから所定時間内に通信手段が応答信号を受信しなかった場合には、周辺機器がコネクタ端子に未接続であると判断するデータ処理装置。

21. 周辺機器からデータ処理装置にデータの送信を行い、かつ周辺機器からのデータに基づきデータ処理を行うデータ処理方法において、該データに基づいてこ

の周辺機器の信号線がデータ処理装置のコネクタ端子に接続しているか否かを判断する工程を備えるデータ処理方法。

22. データ処理装置にデータ処理用のデータを出力する周辺機器であって、該データ処理装置に接続されるコネクタ端子を備え、この端子が該データ処理装置に接続されていることの確認用データを出力する周辺機器。

23. 請求項17記載の識別データ、請求項18記載の接続確認用データ、請求項19記載の信号、請求項20記載の応答信号または周辺機器データのうちの少なくとも一つを出力する請求項22記載の周辺機器。

24. 周辺機器から供給される周辺機器データを処理するメインCPUと、メインCPUに接続された第1ROMと、メインCPUのワークエリアとして機能する第1RAMと、バスを介してメインCPUに接続され、かつコネクタを介して取り外し可能に周辺機器に接続されるサブCPU回路とを備える、周辺機器が接続されたデータ処理装置であり、

該サブCPU回路は、バスに接続された第1インターフェースと、該第1インターフェースに接続されたCPUコアおよび第2RAMと、該CPUコアに接続された第2ROMと、CPUコアおよびコネクタの両方に接続された第2インターフェースとを備え、

前記第1ROMは、周辺機器から周辺機器データを収集するようにという指示をサブCPUに送る第1プログラムと、サブCPU回路によって収集された周辺機器データを取り出すための第2プログラムとを格納しており、

前記第2ROMは、前記指示に応じて周辺機器から周辺機器データを収集し、かつ収集された周辺機器データをメインCPUに提供するための第3プログラムを格納する。

25. 前記コネクタは、9個で一組の端子ピンが第1ピンから第9ピンまでの順番で一列に配されて組み込まれたソケットコネクタを有し、当該ピンには、周辺機器から延びるプラグコネクタの9個で一組の端子ピンが取り外し可能に接続されており、

ソケットコネクタの前記第1ピンは電源または地気電位の何れかに割り当て

られ、ソケットコネクタの前記第9ピンは電源または接地電位のもう一方に割り当てられ、前記第2ピン、第3ピン、第7ピンおよび第8ピンはデータ信号の送信に割り当てられ、少なくとも前記第4ピンおよび第5ピンが制御信号の送信に割り当てられ、

前記第2ROMは、ソケットコネクタの第2ピン、第3ピン、第7ピンおよび第8ピンを介して供給されたデータ信号に基づき、周辺機器に元々設定されている通信方式を識別するプログラムを記憶する

請求項24記載のデータ処理装置。

26. メインCPUおよびCPUコアに結合されたバスを第2インターフェースに選択的に接続するマルチプレクサをさらに備えるデータ処理装置であり、前記第1インターフェースは、マルチプレクサの交換を制御する手段を備える請求項25記載のデータ処理装置。

27. 前記第1インターフェースが、メインCPUとCPUコアとの間でデータを送受信するレジスタテーブルを有する請求項24記載のデータ処理装置。

28. 前記レジスタテーブルは、CPUコアへのコマンドを送信するためにメインCPUがコマンドを書き込むコマンドレジスタと、CPUコアがコマンドを実行した後にCPUコアの状態を検査するためにメインCPUが読み出すステータスレジスタデータと、メインCPUがコマンドレジスタにコマンドを書き込む前にステータスフラグをセットし、かつCPUコアがコマンドを実行した後でステータスフラグをリセットすることにより、CPUコアがコマンド実行中であるか否かを示すステータスフラグと、メインCPUがコマンドに関連するコマンドパラメータを書き込んでコマンドパラメータをCPUコアに送信するための入力レジスタと、CPUコアがデータを書き込んで該データをメインCPUに送信するための出力レジスタとを備える請求項27のデータ処理装置。

29. メインCPUによって実行される前記第1プログラムは、ステータスフラグがCPUコアによってリセットされているか否かを定期的に判断し、ステータスフラグがリセットされていない場合に待機するだけでなく、ステータスフラグがリセットされている場合にはステータスフラグをセットしてから、周辺機器デ

ータを収集するためのコマンドのパラメータを入力レジスタに書き込み、そして周辺機器データを収集するためのコマンドをコマンドレジスタに書き込み、

CPUコアによって実行される前記第3プログラムは、周辺機器データを収集するためのコマンドをコマンドレジスタから読み出してから、指定期間ごとに周辺機器と通信することにより周辺機器のタイプおよびその通信モードを識別するだけではなく、その通信方式に従って周辺機器から周辺機器データを読み出し、そして読み出した周辺機器データを出力レジスタに書き込み、メインCPUによって実行される前記第2プログラムは、指定期間ごとに出力レジスタに記憶された周辺機器データを読み出す

請求項28記載のデータ処理装置。

30. 周辺機器から供給された周辺機器データを処理するメインCPUと、メインCPUに接続された第1ROMと、メインCPUのワークエリアとして機能する第1RAMと、バスを介してメインCPUに接続され、かつコネクタを介して周辺機器に取り外し可能に接続されたサブCPUとを備える、周辺機器が接続されたデータ処理装置であり、

該サブCPU回路は、バスに接続された第1インターフェースと、該インターフェースに接続されたCPUコアおよび第2RAMと、該CPUコアに接続された第2ROMと、CPUコアおよびコネクタの両方に接続された第2インターフェースとを備え、

前記第2ROMは、メインCPUから与えられたコマンドに応じて周辺機器から周辺機器データを収集してから、収集された周辺機器データをメインCPUに送るプログラムを記憶しており、メインCPUにおいて、周辺機器データの収集開始時刻は、周辺機器データの収集終了時刻がメインCPUでの周辺機器データの処理開始時刻と一致するように、指定時刻ごとに最適化される。

31. メインCPUによって実行された周辺機器データの処理結果を表示するためにモニターがデータ処理装置に接続されており、前記指定時刻は、該モニターによって使用される垂直帰線消去信号の最初のトランシットまたは最後のトランシットのいずれかによって決定される請求項30記載のデータ処理装置。

32. 前記プログラムが、周辺機器データの収集開始時刻の最適化に関するフラグおよび変数を初期化する第1工程と、第1プロセスの後に、収集指示に応じて割り込んで開始時刻を計算する第2工程と、算出された開始時刻まで待機するだけではなく、算出された開始時刻になったときに周辺機器データを収集する第3工程とを含む請求項31記載のデータ処理装置。

33. 前記フラグが、開始時刻が次の周辺機器データ収集期間内に最適化されるか否かを示す第1フラグと、CPUコアによって実行された周辺機器データの収集中に垂直帰線消去信号が現れたタイムアウトが生じたか否かを示す第2フラグとからなり、前記変数は開始時刻を示し、前記第1フラグは第1工程によって、開始時刻の最適化は行われないということを表す論理値「0」にセットされ、また第2フラグは第1工程によって、タイムアウトが生じたことを表す論理値「1」にセットされる請求項32記載のデータ処理装置。

34. 前記第2工程は、第1フラグまたは第2フラグのいずれかが論理値「1」であるときにカウンタのカウントをクリアし、第1フラグおよび第2フラグの両方の論理値が「0」のときには前記変数の値を前記変数の現在値の追加値、カウンタのカウント、およびタイムマージン値と置き換え、第1フラグを論理値「1」にセットし、そしてカウンタのカウントをクリアする工程である請求項33記載のデータ処理装置。

35. 前記第3工程は、第2フラグを論理値「0」にセットし、第1フラグが論理値「1」である場合にのみ第1フラグを論理値「0」にセットし、カウンタのカウントが前記変数の値に達するまで待機し、前記変数の値をカウンタの現在カウントに置き換え、周辺機器データの収集の間にタイムアウトが生じたときには、周辺機器データを収集して、収集された周辺機器データをメインCPUに送るだけではなく、第2フラグの論理値を「1」にセットし、そしてカウンタのカウントを取り消す工程である請求項34記載のデータ処理装置。

36. 周辺機器から供給された周辺機器データを処理するメインCPUと、メインCPUに接続された第1ROMと、メインCPUのワークエリアとして機能する第1RAMと、バスを介してメインCPUに接続されるサブCPU回路と、バス

が接続され、かつ周辺機器のプラグコネクタに取り外し可能に接続されるソケットコネクタとを備える、プラグコネクタを有する周辺機器が接続されたデータ処理装置であり、

該サブCPU回路は、バスに接続された第1インターフェースと、第1インターフェースに接続されたCPUコアおよび第2RAMと、CPUコアに接続された第2ROMと、CPUコアおよびソケットコネクタの両方に接続された第2インターフェースとを備え、

該第2ROMは、サブCPU回路がメインCPUからのコマンドに応答して周辺機器から周辺機器データを収集するときに、周辺機器のプラグコネクタのソケットコネクタへの接続状態を自動的に認識するためのプログラムを記憶するデータ処理装置。

37. 前記ソケットコネクタが、第1ピンから第9ピンまでの順番で一行に配された9個で一行の端子ピンを備え、該第1ピンは電源または地気電位の何れかに割り当てられ、該第9ピンは電源または地気電位のもう一方に割り当てられ、該第2ピン、第3ピン、第7ピンおよび第8ピンはデータ信号の送信に割り当てられ、該第4ピンないし第6ピンは制御信号の送信に割り当てられ、前記プラグコネクタは、第1ピンから第9ピンまでの順番で一行に配された他の9個で一行の端子ピンを備え、それぞれの端子ピンはソケットコネクタの第1ピンから第9ピンそれぞれに取り外し可能に接続される

請求項36記載のデータ処理装置。

38. ソケットコネクタの前記第2ピンないし第8ピンに接続された信号線それぞれが、論理値「1」を示す電源にレジスタを介して接続される請求項37記載

のデータ処理装置。

39. 第2ROMに記憶された前記プログラムは、「1」および「0」がそれぞれ電源および地気電位を表す場合、制御信号「1」および「1」が第1ピンおよび第5ピンそれぞれを介して供給される状態と、制御信号「0」および「1」が第4ピンおよび第5ピンそれぞれを介して供給される状態のそれぞれにおいて、第7ピン、第8ピン、第2ピンおよび第3ピンを介して受ける周辺機器からのデータ信号を用い

て、指定時刻ごとに識別データを算出するプロセスを含み、識別データの計算値が、ある長さの指定時間を超えてプラグコネクタがソケットコネクタに接続されている状況を示す場合に、周辺機器が当該データ処理装置に完全に接続されていると判断する請求項38記載のデータ処理装置。

40. 第2ROMに記憶される前記プログラムは、現指定時刻の識別データが前回の指定時刻のものとは計算値が異なる場合に、周辺機器が当該データ処理装置に接続されていない状況であると判断する他のプロセスを含む請求項39記載のデータ処理装置。

41. 周辺機器に対して送受信する入出力信号を制御する周辺機器に接続する第1インターフェースと、

作動装置に接続されたメインCPUに対して信号を入出力するためにCPUバスに接続された第2インターフェースと、

内部バスを介して該第2インターフェースに接続され、メインCPUから与えられたコマンドを実行するCPUコアと、

コマンドの処理のために必要なプログラムを記憶しているROMと、

周辺機器のタイプに従って、CPUバスまたは内部バスのいずれかに該第1インターフェースを選択的に接続する手段と

を備えるオペレーティング装置。

42. 前記選択接続手段は、メインCPUとCPUコアとの間に置かれたレジスタ

回路と、第1インターフェースとCPUバスと内部バスとの間に置かれ、レジスタ回路への制御データのセット状況に従ってCPUバスまたは内部バスのいずれかを第1インターフェースに選択的に接続するマルチプレクサとを備える請求項41記載のオペレーティング装置。

43. 前記レジスタ回路は、メインCPUがアクセスできる第1レジスタ群と、CPUコアがアクセスできる第2レジスタ群と、メインCPUまたはCPUコアのどちらが第1インターフェースにアクセスできるのかを決定するための、メインCPUがアクセスできるI/O選択レジスタとを備える請求項42記載のオペレーティング装置。

44. 前記第 1 および第 2 レジスタ群はそれぞれ、第 1 インターフェースの各チャネルの周辺機器ポートの入出力データの信号線の方角をセツトするデータ方角レジスタと、周辺機器ポートでデータを記憶するポートデータレジスタとを備える請求項 4 3 記載のオペレーティング装置。

45. 前記マルチプレクサは、I/O 入出力選沢レジスタへの制御データのセツト状況に応じて開閉する複数の三状態バッファを備える請求項 4 2 記載のオペレーティング装置。

46. ROM に記憶される前記プログラムとは、CPU コアが周辺機器データの収集開始を知らせるコマンドをメイン CPU から受け取ったときに、周辺機器から周辺機器データを収集して、該周辺機器データをメイン CPU に送るプログラムである請求項 4 1 記載のオペレーティング装置。

47. 前記第 2 インターフェースはレジスタテーブルを有し、該レジスタテーブルを介してメイン CPU と CPU コアとの間のデータ通信が行われる請求項 4 6 記載のオペレーティング装置。

48. 前記レジスタテーブルは、メイン CPU が CPU コアにコマンドを送るためにそのコマンドを書き込むコマンドレジスタと、CPU コアがコマンドを実行した後で CPU コアの状態を検査するためにメイン CPU が読み出すステータスレジスタデータと、メイン CPU がコマンドレジスタにコマンドを書き込む前にはステータスフラグをセツトし、かつ CPU コアがコマンドを実行した後にはステータスフラグをリセツトすることにより、CPU コアがコマンド実行中であるか否かを示すステータスフラグと、コマンドパラメータを CPU コアに送るためにメイン CPU がコマンドに関連するコマンドパラメータを書き込む入力レジスタと、データをメイン CPU に送るために CPU コアがデータを書き込む出力レジスタとを備える請求項 4 7 記載のオペレーティング装置。

【発明の詳細な説明】**データ処理装置によるその周辺機器からのデータ収集の改良****発明の技術背景**

本発明は、データ処理装置に接続された周辺機器(ペリフェラル)からのデータ処理装置によるデータ収集の改良に関するものであり、特に、その周辺機器からの周辺機器データの収集のためのCPU制御、周辺機器データ収集のタイミング最適化、そしてデータ処理装置への周辺機器の接続確認における改良に関する。

発明の背景

近年のコンピュータ技術の発達に伴い、TVゲーム機等のデータ処理装置が広く家庭に普及するようになった。

一般的にこのゲーム機は、画像処理および音響処理、ならびに周辺機器の制御等の各種データ処理を実行する処理装置と、処理装置に電氣的に接続されたスイッチコントローラ(ジョイパッドおよびジョイスティック)等の周辺機器を含む。テレビジョン受像機(以下「モニタ」という)が、処理装置に接続される。この処理装置が作動されてゲーム画像をモニタのディスプレイ上に表示する。ゲーム展開に相応しい音響がモニタの音声再生部から再生され、所望のゲームを楽しむ。

このゲーム機の処理装置は、基本的には、画像処理及び音響処理や周辺機器の制御等の各種処理を実行する演算回路(CPU)と、各種ゲームプログラムやその他必要なデータを記憶するメモリすなわち記憶装置と、例えばスイッチコントローラ等の周辺機器が接続された入出力装置と、モニタに映像信号を与える映像処理装置と、その他の回路とを含む。

このようなゲーム機では、ゲーム機の電源を投入し、周辺機器から処理装置へ必要な操作信号が入力されると、記憶装置内のプログラムにしたがって処理装置が動作し、次のような処理を実行する。

スイッチコントローラからの操作信号が処理装置によって受信されると、このCPUは、その操作信号に基づいて記憶装置内のキャラクターの各種の移動状態

のデータの中で必要なものを取り出し、そのキャラクターをモニタのディスプレイ上で移動させるための処理を実行する。CPUは、映像制御信号を映像処理装

置に与え、映像処理装置は、上記映像制御信号を基に映像信号を形成してモニタに伝える。これにより、モニタのディスプレイ上において、キャラクターが、所定の背景画面内でスイッチコントローラで指定された距離だけ移動をする。例えば、TVゲーム機においては、CPUはジョイスティックの操作状態を監視する。ジョイスティックがユーザにより操作されると、CPUはジョイスティックの状態の変化を読み取ってモニタ画面中の飛行機を旋回させる。

ゲーム機の処理装置は、ソケットコネクタ付きの周辺機器ポートを有しており、このソケットコネクタを介して種々の周辺機器が、ゲーム用のアプリケーションソフトに応じて処理装置に接続される。例えば、フライトシミュレーションのゲームソフトが実行される場合には、ジョイスティック側のコネクタがゲーム装置側のソケットコネクタに挿入される。処理装置は、接続された周辺機器から識別データを読み出すことにより周辺機器の種類を自動的に認識し、その周辺機器の種類に応じて周辺機器にアクセスする。

しかしながら、従来のTVゲーム機のデータ処理装置には以下の問題があるため、TVゲーム機の高速かつ円滑な運用が困難である。

第1に、画像制御等のデータ処理を高速で実行するのが困難である。従来は、画像処理用のCPUが直接に周辺機器にアクセスし、これを制御していたため、CPUは周辺機器の制御に時間を費やし、画像処理に要する時間が減らされている。例えば、標準的なジョイパッドからデータを読み出すためには数 μsec の時間を要し、さらにマウスからデータを読み出すためには数百 μsec もの時間を要する。TVゲーム機に接続される周辺機器の種類は数多く、TVゲーム機はすべての周辺機器に対応する必要がある。したがって、CPUは、TVゲーム機に接続された周辺機器を自動認識する必要がある。このように、CPUが周辺機器にアクセスする限り、周辺機器に対するアクセス処理が終了するまでは、CPUは画像制御のデータ処理を一時的に中止する必要がある。この結果、高速の画像制御(データ処理)が困難となるという重大な問題が生じる。

第2に、周辺機器側の操作内容を画像制御等のデータ処理に迅速に反映することが困難となっていた。一般に、TVゲーム機等のデータ処理装置は、2つのフ

フレームバッファを有しており、2面分の画像データを記憶する。一方のフレームバッファに蓄えられた画像が表示されている場合には、CPUは他方のフレームバッファに蓄えられた画像の制御(3次元演算、描画等)を行う。かかる動作が、後で説明する図23のタイミングチャートに示されており、ここでは、2つのフレームバッファは、メモリエリアとして、対応するA面およびB面を含む。例えば、A面の画像の3次元演算が行われている間は、B面の画像の表示が行われる。次のフィールドにおいてB面の画像の3次元演算が行われている間は、A面の画像の表示が行われる。画像の演算は1フィールド(垂直帰線消去信号VINT信号の立ち下がりからVINT信号の次の立ち上がりまで)の期間に行われるが、この場合、画像の表示は1フィールドのうちの垂直操作期間に行われる。なお、アプリケーションソフトによっては、後で説明する図24に示されるように、複数フィールド毎(通常は偶数フィールド毎)に演算および表示を行うことができる。

図24からも確認されるように、3次元演算等の画像制御(データ処理)は所定の時刻に行われなければならない。一方、周辺機器データの収集タイミングは制御されていなかった。このため、周辺機器データの収集タイミングが、CPUによる画像制御(データ処理)の演算開始のタイミングと一致しない場合には、周辺機器データが収集された後に周辺機器データを変更することができる。例えば、後で説明する図20に示されるように、CPUが、図示される「(1)」の期間に周辺機器データを収集したとする。この後、ユーザによる周辺機器の操作によって周辺機器データが変化したとしても、CPUは変化前の周辺機器データに基づき画像制御を実行する。すなわち、変化後の新たな周辺機器データは画像制御において使用されない。また、周辺機器データ収集タイミングが画像制御の演算開始タイミングと一致しない場合には、周辺機器の操作に対するゲームの反応が遅くなってしまう。例えば、ユーザが周辺機器を操作してからミサイルが発射されるまでの時間差が長くなり、ゲームの実行に支障をきたしてしまう。

第3に、周辺機器が処理装置に接続されているか否かを正しく判断できないため、誤った識別データに基づき周辺機器が誤認識されてしまうという重大な問題が生じる。

例えば、TVゲーム機等のデータ処理装置にあっては、電源が投入されている場合において、ユーザは周辺機器側のコネクタを処理装置側コネクタに差し込んだり(ホットプラグイン)、あるいは周辺機器から処理装置側コネクタを抜きとる(ホットプラグアウト)ことができる。処理装置が周辺機器から識別データを読み出している間にホットプラグインまたはホットプラグアウトが行われた場合には、処理装置は、誤った識別データを読み出すことがあり得る。この場合、処理装置は、周辺機器が処理装置に接続されているか否かを正しく判断できないため、処理装置が誤った識別データに基づき周辺機器を誤認識してしまうという重大な問題が生じる。

また、ユーザが周辺機器側のコネクタを傾けた状態で処理装置側コネクタに挿入した場合には、コネクタ内の端子ピンのいくつかが処理装置側のコネクタの端子ピンに未接続となってしまう。この場合においても、処理装置は、周辺機器が処理装置に安定状態で接続されているかを判断できず、誤った識別データに基づき周辺機器を誤認識してしまう。

さらに例えば、処理装置が周辺機器を正しく認識した後に、ホットプラグアウトが生じた場合においても、処理装置は周辺機器が接続されているかを判断できない。よって、以下の問題が生じ得る。すなわち、周辺機器が周辺機器データ(周辺機器の操作状態等を表すデータ)を処理装置に送信している際にホットプラグアウトが生じた場合には、周辺機器データの一部が変化してしまい、処理装置が誤った周辺機器データを受け取ってしまう。この結果、誤動作の問題が生じる。ホットプラグイン等が行われ易い家庭用のTVゲーム機においては、これらの問題は特に重大である。

発明の要約

よって本発明の目的は、以上の問題を解決することにより、例えばTVゲーム機において最適なゲーム環境を提供することである。より具体的には、本発明の第1の目的は、画像制御等のデータ処理を高速で行うことができるデータ処理装置を提供することにある。また、本発明の第2の目的は、周辺装置の操作内容が直に画像制御等のデータ処理に反映されるデータ処理装置およびデータ処理方法

を提供することにある。さらに、本発明の第 3 の目的は、周辺機器がゲーム装置本体に安定して接続されているか否かを判断することにより、周辺機器の誤認識、ゲーム処理装置および周辺機器ならびにデータ処理方法の誤動作等の問題を解決することができるゲーム処理装置およびデータ処理方法を提供することである。

本発明の一態様では、主演算手段からのコマンドに従って周辺機器に対するデータの入出力を制御かつ処理するために、副演算手段が提供される。よって、主演算手段は、周辺機器に対するデータの入出力の制御および処理を直接行う必要はないため、主演算手段は、大量のデータ処理(映像処理、音声処理)を行うように他のジョブに割り当てられることが可能である。従って、例えば、TVゲーム機等のデータ処理装置では、映像制御が高速で行われるので、臨場感溢れるゲームを提供することができる。

副演算手段は、周辺機器から識別データを読み出すことにより周辺機器の種類を識別する。出力手段は、周辺機器の種類についてのデータを主演算手段に提供する。副演算手段は、周辺機器データの入出力操作だけではなく、周辺機器の識別も行う。よって、主演算手段は、周辺機器以外のデータの処理も割り当てられるので、システムは、より大量のデータを処理することができる。

接続切換手段は、主演算手段または副演算手段のいずれかに周辺機器を選択的に接続することができる。よって、処理速度が速い主演算手段は、高速アクセスを要する周辺機器にアクセスすることができる。

接続切換手段は、周辺機器を主演算手段または副演算手段に選択的に接続する。副演算手段が周辺機器に接続された場合、周辺機器に対するデータの入出力は副演算手段によって行われる。この場合、主演算手段は、画像処理等のデータ処理を集中して行う。よって、本発明のデータ処理装置は、主演算手段への負荷を減じて迅速なデータ処理を達成する。

接続切換手段は、主演算手段からの切換信号に応じて、周辺機器を主演算手段または副演算手段に接続する。よって、周辺機器の画像処理特性およびデータ入出力特性は両方とも、周辺機器の種類を含む画像処理環境の特性および内容等、主演算手段のプログラムの内容等に応じて、最適に維持される。

例えば、切換手段が切り換えられると、周辺機器の動作速度特性に従い、周辺機器が低速型である場合には接続切換手段は周辺機器を副演算手段に接続して、主演算手段への負荷を減らす。周辺機器が高速の動作特性を有する場合には、通常は高い処理能力を有する主演算手段は周辺機器に対するデータの入出力を受け持ち、周辺機器に対するデータの入出力が確実に行われるようにする。

このような接続切換手段は、例えばマルチプレクサによって実現されるのが好ましい。本発明のデータ処理装置は、主制御手段が実行するプログラムの種類および内容等に従って接続切換手段を制御するように配されている。よって、高速周辺機器が必要な場合、主制御手段が例えば画像処理プログラムを実行すると、接続切換手段は、周辺機器から主制御手段へと切り換えるように制御される。そうでない場合には、接続切換手段は、周辺機器から副演算手段へと切り換える。接続切換手段は、主制御手段によって実行されるプログラムの内容および種類に従って、必要な周辺機器を主演算手段または副演算手段に接続するため、画像処理の種類および内容等に適した周辺機器が迅速に選ばれ、これによって例えば周辺機器の誤選択を防ぐ。

本発明の他の態様では、データ収集制御手段は、周辺機器データの収集が、画像制御、音声処理等を含むデータ処理の開始時刻の直前に終了するようにデータ収集手段を制御する。よって、データ処理は、データ処理開始時刻の直前に周辺機器に従って行われる。例えば、TVゲーム機を含むデータ処理装置では、ユーザによるジョイパッド(周辺機器)等のスイッチコントローラの操作に対する画像の反応が速まる。

データ収集制御手段は、周辺機器データの収集がデータ処理の開始時刻直前に終了するよう、データ収集開始時刻を決定する。よって、データ収集手段は、決定されたデータ収集開始時刻に周辺機器データの収集を開始する。

データ収集手段による周辺機器データの前回の収集が、データ処理開始時刻までに終了したと想定する。この場合、データ収集制御手段は、データ収集手段による周辺機器データの収集がデータ処理の開始時刻直前に終了するよう、前回収集された周辺機器データに基づき周辺機器データの収集開始時刻を決定する。周

周辺機器データの前の回の収集がデータ処理の開始時刻までに終了しなかった場合には、データ収集開始時刻決定手段は、周辺機器データの収集開始時刻を早める。

周辺機器データの収集がデータ処理の開始時刻までに終了しない場合には、周辺機器データは、データ処理開始時刻には使用できない。これを回避するために、本発明では、このような場合にデータ収集の開始時刻は早められ、よって周辺機器データの収集がデータ処理の開始時刻によって妨げられた(interrupt)ままになることを防ぐ。

データ収集制御手段が上記処理を繰り返す場合、周辺機器データはいつでも最適なタイミングで収集される。

データ収集制御手段は、データ収集手段による周辺機器データの収集がデータ処理の開始時刻直前に終了するよう、データ収集手段におけるデータ収集時刻を制御する。また例えば、周辺機器データの転送速度を制御することにより、周辺機器データの収集をデータ処理の開始時刻の直前に終了させることができる。

本発明の他の態様では、第一および第二の目的を達成するために、周辺機器データの収集がデータ処理の開始時刻の直前に終了するように、データ収集開始時刻が決められる。よって、主演算手段は、データ処理開始時刻の直前に収集された周辺機器データに基づいてデータ処理を実行することができ、またユーザによる周辺機器の操作の内容が直ちにデータ処理に反映される。従って、周辺機器に対する入出力の制御用の副演算手段が、データ処理用の主演算手段に加えて提供される場合でさえ、主演算と副演算の円滑な動作協力に基づいて望ましいデータ処理が達成される。

本発明によるデータ処理装置では、判断手段は、周辺機器の信号線がデータ処理装置の端子に接続されているか否かを判断する。すなわち、周辺機器がデータ処理装置に接続されているか否かを確認することによって、画像処理等のデータ処理の最適化の効果が確実に得られる。

本発明の他の態様では、周辺機器データの収集がデータ処理の開始時刻の直前に終了するように、周辺機器データの収集開始時刻が決定される。決定されたデータ収集開始時刻に、周辺機器データの収集が開始する。よって、データ処理は

データ処理開始時刻の直前に存在する周辺機器データに従って実行され、これによって周辺機器の操作に対する画像の反応を速める。

データ収集手段による周辺機器データの前回の収集が、データ処理の開始時刻の直前に終了したと想定する。その場合、データの収集開始時刻は、前回収集された周辺機器データに基づいて決定される。前回の周辺機器データの収集がデータ処理の開始時刻までに終了しなかった倍、データ収集の開始時刻は早められる。従って、本発明によると、周辺機器の操作に対する画像の反応は早められ、周辺機器データの収集がデータ処理の開始時刻に妨げられたままになるのを防ぐ。

データ処理装置の他の態様では、データ処理手段は、装置側端子(ソケットコネクタピン)に接続された周辺機器からのデータに基づいてデータ処理を実行する。判断手段は、周辺機器の信号線が装置側端子に接続されているか否かを判断する。例えば、例えばホットプラグイン等のせいで、1本または複数の信号線が装置側端子に安定した状態で接続されていない場合、データ処理手段によって受信されたデータ(周辺機器の種類を示す識別データ、周辺機器の状態を示す周辺機器データを含む)が間違っている蓋然性が高い。従って、データ処理手段は、受信データが間違っていることを認識する。よって、誤データの使用による誤認識および周辺機器の誤操作は未然に回避される。特に、通信手段は、所定の時間間隔で識別データを複数回読み取る。判断手段は、識別データがすべて一致したという条件で、周辺機器の信号線が装置側端子に接続されたと判断する。例えば、装置側の電源が投入されたとき、そしてユーザが周辺機器の信号線を装置側端子から引き抜いた場合、装置側端子の信号レベルは変化する。よって、複数回読み取られた識別データは、様々な値を取るようになる。周辺機器側の信号線が装置側端子に接続されているか否かは、複数回読み取られた識別データが互いに一致するか否かによって判断することができる。本発明に従い、信号線の接続状態を判断することにより、周辺機器の誤認識などの問題が回避される。

周辺機器または1本もしくは複数の信号線が未接続である場合に、周辺機器または信号線の未接続状態を示す所定のデータが出力されるように、装置側端子(ソケットコネクタピン)は事前にプルアップまたはプルダウンされる。所定デー

タの反転したデータを含む接続確認用データが、所定時刻に周辺機器から転送されたと想定する。この場合、判断手段は、通信手段によって受信された接続確認用データが、周辺機器または信号線の未接続状態を示す所定データの反転データと異なるか否かを判断する。異なる場合には、判断手段は、周辺機器が装置側端子に

接続されていないと判断する。このようにして、周辺機器の誤認識などの問題は未然に回避される。

周辺機器の端子(プラグコネクタピン)の一つまたはいくつかがその電源端子ピンおよび／または接地(GND)端子ピンに接続されるように、周辺機器は形成されてもよい。プラグコネクタが装置の周辺機器ポートに差し込まれると、判断手段は、周辺機器の電源又は接地端子ピンに接続されたプラグコネクタ端子ピンに対応する装置のソケットコネクタ端子ピンの信号レベルをチェックする。その信号レベルが所定の信号レベル(電源レベルまたは接地レベル)と異なる場合、判断手段は、周辺機器が未接続であるか、またはプラグコネクタピンが正しくソケットコネクタピンに接続されていないと判断する。このように、周辺機器の誤認識は防がれる。

本発明のデータ処理装置では、通信手段は、周辺機器からのデータの配信を要求する信号を周辺機器に送信する。通信手段がデータ要求の信号を送信した後所定の時間内に、通信手段が応答信号を受信しない場合、判断手段は、周辺機器が装置側端子に接続されていないと判断する。このようにして、ホットプラグイン等による周辺機器の誤認識は未然に防がれる。

本発明のデータ処理方法では、装置側端子に接続された周辺機器からのデータ(周辺機器の種類を示す識別データ、周辺機器の状況を示す周辺機器データなど)に基づいてデータ処理が行われ、また、周辺機器の信号線が装置側端子に接続されているか否かが判断される。このようにして、データの誤認識が未然に防がれる。

本発明に関わる周辺機器は、周辺機器側端子が装置に接続されているか否かについて確認するデータをデータ処理装置に対して出力する。これに応じて、デー

データ処理装置は、周辺機器から受信した確認用データが正しいか否かを判断する。このように、データ処理装置は、周辺機器が安定した状態で装置に接続されているか否かを判断することができ、よって周辺機器の誤認識等の問題を回避することができる。

周辺機器は、確認用データとして識別データを出力する。つまり、データ処理装置は、複数回所定の間隔において周辺機器から識別データを読み取る。判断手

段は、識別データが一致するか否かによって、周辺機器が安定した状態で装置に接続されているか否かを判断する。

周辺機器は、確認用データとして接続確認用データを出力する。つまり、周辺機器が装置側端子に未接続であることを示し、かつ接続確認用データの反転データを含む所定のデータが出力されるように、データ処理装置側端子は事前にプルアップまたはプルダウンされる。所定データの反転データを含む接続確認用データが所定の時刻に周辺機器から送信されたと想定する。この場合、判断手段は、通信手段によって受信された接続確認データが上記所定データの反転データとは異なるか否かを判断する。異なる場合には、判断手段は、周辺機器が装置側端子に未接続であると判断する。このようにして、周辺機器の誤認識のような問題は未然に回避される。

周辺機器は、接続確認用データについての信号を出力する。つまり、周辺機器の端子のいくつは、電源またはGNDに接続されている。よって、周辺機器端子がデータ処理装置側端子に接続されている場合、装置側端子は所定の信号レベルで配される。装置側端子の信号レベルが所定の信号レベルと異なる場合、判断手段は、周辺機器端子が安定した状態で装置側端子に接続されていないかを判断する。このように、不安定な接続での周辺機器の誤認識のような問題は回避される。

周辺機器は、応答信号および周辺機器データを接続確認用データとして出力する。つまり、周辺機器は、データ処理装置からの要求信号に従って応答信号および周辺機器データを出力する。よって、データ処理装置が要求信号を周辺機器に配信した後で所定の時間内に応答信号を受信しない場合、判断手段は、周辺機器

が安定した状態でデータ処理装置に接続されていないと判断する。このように、周辺機器の誤認識のような問題は回避される。

本発明の他の態様により上記利点を得るために、周辺機器から供給された周辺機器データを処理するメインCPUと、メインCPUに接続された第1ROMと、メインCPUのワークエリアとして機能する第1RAMと、そしてバスを介してメインCPUに接続され、かつコネクタを介して取り外し可能に周辺機器に接続されたサブCPU回路とを備えた、周辺機器が接続されたデータ処理装置が提供される。かかるサブCPU回路は、バスに接続された第1インターフェースと、

第1インターフェースに接続されたCPUコアおよび第2RAMと、CPUコアに接続された第2ROMと、CPUコアおよびコネクタの両方に接続された第2インターフェースとを備え、前記第1ROMは、周辺機器から周辺機器データを収集するようにという指示をサブCPU回路に送るための第1プログラムと、サブCPU回路によって収集された周辺機器データを取り出すための第2プログラムを記憶しており、前記第2ROMは、前記指示に応じて周辺機器から周辺機器データを収集し、かつ収集した周辺機器データをメインCPUに提供するための第3プログラムを記憶している。

本発明のさらに別の態様では、周辺機器に対する入出力信号を制御する周辺機器に接続する第1インターフェースと、作動装置に接続されたメインCPUに対して信号を入出力するためにCPUバスに接続された第2インターフェースと、内部バスを介して第2インターフェースに接続され、メインCPUから与えられたコマンドを実行するCPUコアと、コマンドの処理のために必要なプログラムを記憶するROMと、周辺機器のタイプに従って、CPUバスまたは内部バスのいずれかに第1インターフェースを選択的に接続する手段とを備える作動装置が提供される。

図面についての簡単な説明

添付の図面において、

図1は、本発明の一実施例としてのTVゲーム機の斜視図である。

図 2 は、実施例としての T V ゲーム機の概要を表す。

図 3 は、実施例のサブ C P U の概要を表す。

図 4 は、実施例の周辺機器ポート周辺の回路を示す。

図 5 は、実施例のレジスタテーブルである。

図 6 は、実施例の周辺機器ポートの信号線の名称を表す。

図 7 は、実施例のデータ用レジスタ群を表す図である。

図 8 は、実施例の接続切換手段を示すブロック図である。

図 9 は、実施例の各レジスタ用の真理値表を示す。

図 1 0 は、実施例における周辺機器 I D - 1 と周辺機器名との対応関係を示す。

図 1 1 は、実施例における周辺機器 I D - 2 と周辺機器名との対応関係を示す。

図 1 2 は、実施例に使用される通信システムの決定方法を図示している。

図 1 3 A ないし図 1 3 C は、実施例の周辺機器のプラグコネクタのピンの配列を示す。

図 1 4 は、実施例の T H / T R セレクト通信方法を図示している。

図 1 5 は、実施例の 3 線ハンドシェイク通信方法を図示している。

図 1 6 は、実施例のクロック同期式パラレル通信方法を図示している。

図 1 7 A および図 1 7 B は、実施例のクロック同期式シリアル通信方法を図示している。

図 1 8 は、実施例のデータ処理装置の動作の概要を表すシーケンスチャートを示している。

図 1 9 は、メイン C P U ダイレクトモードでの T V ゲーム機の動作を示すフローチャートである。

図 2 0 は、実施例で周辺機器データ収集タイミングの適正化処理が行われない場合におけるタイミングチャートである。

図 2 1 は、実施例で周辺機器データ収集タイミングの適正化処理が行われた場合におけるタイミングチャートである。

図 2 2 は、実施例のレジスタテーブルである。

図 2 3 は、実施例の画像表示及び制御を示すタイミングチャートである。

図 2 4 は、実施例の画像表示及び制御を示すタイミングチャートである。

図 2 5 は、サブ CPU 制御モードでの TV ゲーム機の動作を示すフローチャートである。

図 2 6 は、実施例での周辺機器データ収集タイミングの適正化処理を表すフローチャートである。

図 2 7 は、実施例での周辺機器データ収集タイミングの適正化処理を表すフローチャートである。

図 2 8 は、実施例での周辺機器データ収集タイミングの適正化処理を表すフローチャートである。

図 2 9 は、実施例での周辺機器データ収集タイミングの適正化処理を表すフローチャートである。

図 3 0 は、実施例での周辺機器データ収集タイミングの適正化処理を表すフローチャートである。

図 3 1 は、実施例における周辺機器接続状態の判断について説明する図である。

図 3 2 A および図 3 2 B は、実施例における周辺機器接続状態の判断について説明する図である。

好適実施態様についての説明

(本実施例の構成)

(1) 全体構成

図 1 は、本発明の一実施例としての TV ゲーム機の斜視図である。図 1 において、符号 1 f は、TV ゲーム機の実データ処理装置 1 f を示しており、その前面には対になる 2 つの周辺機器ポート 2 7 が設けられている。これらの周辺機器ポート 2 7 はそれぞれ、ソケットまたはソケットコネクタ 2 a s を有し、これらには周辺機器 2 b のプラグまたはプラグコネクタ 2 a p が取り外し可能に接続されている。プラグコネクタ 2 a p は、ケーブル 2 c を介して周辺機器 2 b に接続され

ている。接続されたソケットコネクタ2 a sとプラグコネクタ2 a pの組み合わせは、以下コネクタ2 aという。周辺機器2 bは、ジョイパッド、ジョイスティック、キーボードまたはマウスなどのコントロール・キー・スイッチ・アセンブリを含む。これらのスイッチ・アセンブリのことをコントローラともいう。スイッチ・アセンブリに関しては、米国特許出願S.N.08/245,446に開示されたコントローラなどを使用してもよい。

データ処理装置1 fの上面には、ROMカートリッジ接続用のカートリッジI/F 1 eと、CD-ROM読み取り用のCD-ROMドライブ5 aとが設けられている。データ処理装置1 fの背面には、図示されていないが、ビデオ出力端子およびオーディオ出力端子が設けられている。データ処理装置側のビデオ出力端

子は、ケーブル1 gを介してTV受像機3 d側のビデオ入力端子に接続され、そしてTVゲーム機のオーディオ出力端子は、ケーブル1 hを介してTV受像機3 dのオーディオ入力端子に接続されている。このようなTVゲーム機において、ユーザは周辺機器2 bを操作することにより、TV受像機3 dの表示画面に現れる画像を見ながらゲームを行うことができる。

図2は本実施例のTVゲーム機の概要を表すブロック図である。このデータ処理装置は、装置全体の制御を行うCPUブロック1と、映像信号を処理し、かつゲーム表示画面の表示制御を行うビデオブロック3と、効果音等を生成するサウンドブロック4と、CD-ROMドライブ5 aを制御し、かつCD-ROMの読み出しを行うサブシステム5とにより構成されている。

CPUブロック1は、SCU(システム・コントロール・ユニット)1 a、メインCPU 1 b、RAM 1 c、ROM 1 d、カートリッジI/F 1 e、サブCPU 2およびCPUバス1 0により構成されている。メインCPU 1 bは、ゲーム装置全体の制御を行うものである。制御能力を高めるために、メインCPU 1 bは32ビットRISCタイプ的高速CPU(二つのCPUチップはSH-2という)からなり、デジタル信号プロセッサ(DSP)と同様に機能し得る改良された高速計算オペレーションを提供する。RAM 1 cは、メインCPU 1 bのワークエリアとして使用されるものである。ROM 1 dには、初期化用のイニシャルプログ

ラムが書き込まれている。SCU 1 aは、バス 1 0、1 1および1 2を制御することにより、メインCPU 1 b、VDP 3 aおよび3 b、DSP 4 b、ならびにCPU 5 cの間におけるデータ入出力を円滑に行うものである。また、SCU 1 aは、内部にDMAコントローラを備え、これはゲーム中にキャラクタデータ(スプライトデータ)をビデオブロック 3内のV-RAMに転送するもので、これにより、ゲーム等のアプリケーションソフトを高速に実行する。カートリッジ I/F 1 eは、ROMカートリッジの形態で供給されるアプリケーションソフトを所定の位置に入力するために使用される。

サブCPU 2は、SMP C(システム・マネージャー・アンド・ペリフェラル・コントロール) 2と呼ばれるもので、メインCPU 1 bからの要求に応じて、周辺機器(ペリフェラル) 2 bから周辺機器データをコネクタ 2 aを介して収集する機

能を備えている。メインCPU 1 bは、サブCPU 2から受け取った周辺機器データに基づき、例えばゲーム表示画面中の飛行機を旋回させる等の画像制御を行うものである。サブCPU 2は、コネクタ 2 a(ソケットコネクタ端子)に接続された周辺機器の種類を自動的に認識し、使用される周辺機器の種類に応じた通信方式に従い周辺機器データを収集する機能を備えている。

ビデオブロック 3は、TVゲームにおけるキャラクタの描画を行うVDP(ビデオ・ディスプレイ・プロセッサ) 3 aと、背景画面の描画を行うVDP 3 bとにより構成されている。VDP 3 aおよび3 bにより描画された画像のデータは、図示されていないフレームメモリに記憶された後にエンコーダ 3 cに出力される。エンコーダ 3 cは、この画像データに同期信号等を付加することにより映像信号を生成し、その映像信号等をTV受像機に出力するもので、これにより、TV受像機にゲーム画面が表示される。ビデオブロック 3の詳細については、PCT/JP94/01068(米国において1995年2月24日に出願)、PCT/JP94/01067(米国において1995年2月27日に出願)、PCT/JP94/01066(米国において1995年2月27日に出願)を参照。

サウンドブロック 4は、PCMまたはFM方式に従い音声合成を行うDSP 4

bと、このDSP 4 bの制御を行うCPU 4 aと、その他のオペレーション(演算装置)により構成されている。DSP 4 bにより生成された音声データは、D/Aコンバータ 4 cにより2チャンネルの信号に変換された後にスピーカ 4 dに出力される。

サブシステム5は、CD-ROMドライブ5 a、CD I/F 5 b、CPU 5 c、MPEG AUDIO 5 d、MPEG VIDEO 5 e等により構成されている。このサブシステム5は、CD-ROMの形態で供給されるアプリケーションソフトの読み込み、動画の再生等を行う。CD-ROMドライブ5 aはCD-ROMからデータを読み取るものである。CPU 5 cは、CD-ROMドライブ5 aを制御し、読み取られたデータの誤りを訂正する。CD-ROMから読み取られたデータは、CD I/F 5 b、バス11、SCU 1 aを介してメインCPU 1 bに供給され、アプリケーションソフトとして利用される。MPEG AUDIO 5 d、MPEG VIDEO 5 eは、MPEG(モーション・ピクチャー・エキスパート・グループ)規格に従い圧縮されたデータを復元する。これらのMPEG A

UDIO 5 dおよびMPEG VIDEO 5 eを用いてCD-ROMに書き込まれたMPEG圧縮データの復元を行うことにより、動画が再生される。

(2) サブCPUの構成

図3は、サブCPU 2の構成を表す。サブCPU 2は、アドレスバスおよびデータバスを含むバス10を介してメインCPU 1 bに接続されており、メインCPU 1 bに対するサブCPUとして動作するものである。このサブCPU 2は、メインCPU 1 bから与えられたコマンド等を実行するCPUコア20、デコーダを含むI/F 21、コマンド実行用のプログラムが書き込まれたROM 22、ワークエリアとして使用されるRAM 23、バスライン38、クロックをカウントするカウンタ24、メインCPU 1 bからのコマンドに基づいてI/Oインターフェース26を直接に制御するマルチプレクサ36、マルチプレクサ36を切り換えるデータ用レジスタ群35、2チャンネルの周辺機器ポート27を有するI/Oインターフェース26により構成されている。マルチプレクサ36とデー

タ用レジスタ群35とは、本発明に係る接続切換手段40を構成している。サブCPU2は、半導体チップの集積回路として形成されてもよい。

図4に示されるとおり、周辺機器2bは、コネクタ2aおよび周辺機器ポート27を介してサブCPU2に電氣的に接続されている。周辺機器2bのプラグコネクタ2apをデータ処理装置のソケットコネクタ2asに挿入することによって、周辺機器ポート27のすべての信号線が周辺機器2bに電氣的に接続される。

〈I/F21、RAM23〉

RAM23は、CPUコア20用のワークエリアとして使用される。I/F21は、アドレスバスおよびデータバスをデコードするデコーダを含む。メインCPU1bとサブCPU2との間のデータの入出力を行うためのレジスタテーブル(図示されていない)がI/F21に備えられている。従って、メインCPU1bは、CPUバス10を介して所定のアドレスをアクセスすることにより、レジスタ

テーブルにアクセスすることが可能である。

図5は、レジスタテーブルの一例を示している。図5において、コマンドレジスタ(COMREG)は、メインCPU1bからサブCPU2にコマンドを転送するためのものであり、メインCPU1bからみて書き込み専用の8ビットレジスタである。例えば、メインCPU1bがコマンドレジスタにインタラプトバックコマンド(INTBACK)として「10H」を書き込んだ場合には、CPUコア20はこのコマンドに従い周辺機器データの収集を行う。ステータスレジスタ(SR)は、コマンド実行後におけるサブCPU2の動作状態を示す。例えば、ステータスレジスタは、2チャンネルのI/Oポートの使用状況、メインCPU1bに未送信の残りの周辺機器データの有無を示す。このステータスレジスタは、メインCPU1bからみて読み出し専用レジスタである。

ステータスフラグ(SF)は、サブCPU2がコマンド実行中であるか否か、すなわち、サブCPU2がコマンドの受付可能であるか否かを示すフラグである。ステータスフラグの数値「1」は、サブCPU2がビジー(コマンド実行中)であることを示し、「0」はコマンド受付可能であることを示している。メインCPU1

bは、コマンドをコマンドレジスタに書き込む前にステータスフラグをセットする(「1」を書き込む)。サブCPU2がコマンドの実行を終了すると、サブCPU2はステータスフラグをリセットする(ステータスフラグに「0」を書き込む)。そして、メインCPU1bは、サブCPU2がコマンド実行可能な状態(ステータスフラグが「0」)になったことを確認した後に、コマンドをサブCPU2に与える。

インプットレジスタ(I REG 0～I REG 6)はそれぞれ、コマンドに付随するコマンドパラメータをメインCPU1bからサブCPU2に与えるための7バイトのレジスタであり、このインプットレジスタは、メインCPU1bからみて書き込み専用のレジスタである。

アウトプットレジスタ(OREG 0～OREG 31)はそれぞれ、サブCPU2からメインCPU1bに転送されるデータを蓄える。例えば、サブCPU2によって収集された周辺機器データ、つまり周辺機器の種類等に関するデータがアウトプットレジスタに書き込まれる。従って、メインCPU1bは、アウトプットレジスタにアクセスすることにより、周辺機器データを取得することが可能となる。

このアウトプットレジスタは、メインCPU1bからみて読み出し専用のレジスタである。

〈マルチプレクサ36〉

マルチプレクサ36は、CPUコア20とメインCPU1bとのいずれがI/Oインターフェース26へのアクセスを行うかを決定するものである。マルチプレクサ36の切り替えは、データ用レジスタ群35によって行われる。

通常、マルチプレクサ36は図3に示される状態にあり、I/Oインターフェース26はCPUコア20によってアクセスされる。このように、メインCPU1bからのコマンドに従って、サブCPU2が周辺機器データを取得する状態を「サブCPUコントロールモード」という。

サブCPUコントロールモードによっては、以下の問題が生じる場合がある。高速のアクセスを必要とする周辺機器2bが使用される場合に、演算速度の遅いCPUコア20では、周辺機器データにアクセスすることができない。また、周

辺機器2bに対するアクセスプロトコルはROM22に書き込まれているため、アクセスプロトコルの変更は困難である。したがって、サブCPU2は、予め使用を予定された周辺機器2bに対してはアクセスをすることができるが、使用を予定していない周辺機器2bにアクセスすることはできない。そこで、本発明はこのような問題を解決するために、高速画像処理、画像処理等の多様化を図り、かつ周辺機器の制御を最適化できるデータ処理装置を提供することを意図している。

これらの場合に、高速演算可能で柔軟性に優れたメインCPU1bを用いて周辺機器2bに直接アクセスすることにより、周辺機器データが取得される。このように、メインCPU1bが周辺機器に直接アクセスする状態を「メインCPUダイレクトモード」という。

〈I/Oインターフェース26〉

I/Oインターフェース26は2チャンネルの周辺機器ポート27を備え、それぞれの周辺機器ポート27は、7本の信号線と、電源線Vccと、アース線GNDとにより構成されている。各信号線名および機能が図6に示されている。この図に示されるように、TH、TR、およびTLは主に制御線として使用される信号線であり、R、L、D、およびUは主に周辺機器からI/Oインターフェース26へのデータ出力線として使用される信号線である。但し、後述するように、データ処理装置に接続される周辺機器の種類に応じて、これらの信号線の入出力の方向を自由に設定することが可能である。なお、クロック同期式(クロックド)パラレル通信方式、クロック同期式シリアル通信方式以外の通信方式において、信号線TRおよびTLはデータ線として使用される場合もある。

信号線の入出力の方向等の設定は、サブCPU2内部に設けられたデータ用レジスタ群35(図3および図7)にアクセスすることにより行われる。データ用レジスタ群中のデータディレクションレジスタ(DDR1およびDDR2)は、各チャンネルの周辺機器ポート27の信号線毎に入出力方向を設定可能な7ビットレジスタである。例えば、メインCPU1bがCPUバス10を介してデータディレクションレジスタの各ビットに「0」を書き込んだ場合には、各信号線はデータ

入力に設定され、メインCPU 1bが「1」を書き込んだ場合には、各信号線はデータ出力に設定される。これにより、各種の周辺機器に対してアクセスを行うことが可能となる。

データ用レジスタ群中のポートデータレジスタ(PDR 1およびPDR 2)は、各チャンネルの周辺機器ポート 27 のデータが蓄えられる 7 ビットのレジスタである。周辺機器ポート 27 がデータ出力に設定されている場合には、このポートデータレジスタにデータを書き込むことにより、周辺機器ポート 27 に当該データを出力することができる。周辺機器ポート 27 がデータ入力に設定されている場合には、このポートデータレジスタのデータを読むことにより、周辺機器ポート 27 の端子の状態(「0」または「1」)を読み出すことができる。

I/Oセレクションレジスタ(IOSEL 1およびIOSEL 2)はそれぞれ、サブCPU 2またはメインCPU 1bのいずれが周辺機器ポート 27 にアクセスするかを決定するフラグである。I/Oセレクションレジスタに「0」が書き込ま

れた場合には、サブCPU 2が周辺機器ポート 27 にアクセスすることができる。また、I/Oセレクションレジスタに「1」が書き込まれた場合には、メインCPU 1bが周辺機器ポート 27 にアクセスすることができる。

〈データ用レジスタ群 35〉

データ用レジスタ群 35 の具体的構成が図 3 および図 8 に示される。図 3 において、データ用レジスタ群 35 は、マルチプレクサ 36 を介して I/O インターフェース 26 に接続されている。データ用レジスタ群 35 は、概して、メインCPU 1b 用レジスタ群 35 1 と、サブCPU 2 用レジスタ群 35 2 と、I/O セレクションレジスタ 35 3 とからなる。

メインCPU 1b 用レジスタ群 35 1 の一方の端子は、バスライン 39 およびバスライン 10 を介してメインCPU 1b に接続されている。レジスタ群 35 1 の他方の端子は、マルチプレクサ 36 の一方の端子に接続されている。

CPU コア 20 用レジスタ群 35 2 の一方の端子は、バスライン 38 を介して CPU コア 20 に接続されている。また、レジスタ群 35 2 の他方の端子は、マルチプレクサ 36 の他方の端子に接続されている。

マルチプレクサ 3 6 の共通端子は、I/O インターフェース 2 6 に接続されており、I/O インターフェース 2 6 は、周辺機器用コネクタ 2 a に接続されている。周辺機器用コネクタ 2 a には、周辺機器ポート 2 7 を介してジョイパッド等の二つの対応する周辺機器 2 b が接続されている。

マルチプレクサ 3 6 は、データ用レジスタ群 3 5 の I/O セレクションレジスタ 3 5 3 の設定に応じて、周辺機器 2 b をレジスタ群 3 5 2 およびバスライン 3 8 を介して CPU コア 2 0 に接続させ、あるいはレジスタ群 3 5 1 ならびにバスライン 3 9 およびバスライン 2 6 を介してメイン CPU 1 b に接続させる。

なお、図 3 において、データ用レジスタ群 3 5、マルチプレクサ 3 6 及び I/O 2 6 は 2 チャンネル分の回路で構成されているように描かれているが、1 チャンネル分の要素についてのみに以下に説明する。

図 8 は、接続切換手段 4 0 の具体的構成例を示すブロック図である。この図 8

には、メイン CPU 1 b 及びそのバスライン 1 0 と、サブ CPU 2 の内の接続切換手段 4 0、CPU コア 2 0 およびバスライン 3 8 とが示されている。

メイン CPU 1 b に接続されるバスライン 1 0 は、アドレスバス 1 0 1、コントロールバス 1 0 2、およびデータバス 1 0 3 からなる。アドレスバス 1 0 1 とコントロールバス 1 0 2 はデコーダ 2 6 4 を介して、サブ CPU 2 内のデコーダ 2 5 1 に接続されている。アドレスデータは、アドレスバス 1 0 1 からデコーダ 2 5 1 に供給される。

レジスタ群 3 5 1 は、6 ビットのポートデータレジスタ (PDR 1, 2) 3 5 5、6 ビットのポートデータディレクションレジスタ (DDR 1, 2) 3 5 6、および 6 ビットのポートデータレジスタ 3 5 7 から構成される。

データバス 1 0 3 からのデータが、ポートデータレジスタ 3 5 5 およびデータディレクションレジスタ 3 5 6 に書き込まれる。また、デコーダ 2 5 1 の出力は、ポートレジスタ 3 5 5、データディレクションレジスタ 3 5 6、ポートデータレジスタ 3 5 7、及び I/O セレクションレジスタ群 (IOSEL 1, 2) 3 5 3 に接続される。デコーダ 2 5 1 の指定により、これらのレジスタのうち一つが選択される。

レジスタ群352は、6ビットのポートデータレジスタ358、6ビットのデータディレクションレジスタ359、および6ビットのポートデータレジスタ360からなる。

CPUコア20に接続されるバスライン38は、アドレスバス381、コントロールバス382、データバス383からなる。データバス383は、ポートデータレジスタ358、データディレクションレジスタ359、及びポートデータレジスタ360に接続されている。アドレスバス381とコントロールバス382はデコーダ252に接続されており、デコーダ252の出力は、ポートデータレジスタ358、データディレクションレジスタ359、及びポートデータレジスタ360に接続されている。デコーダ252の指定により、これらのレジスタの中の一つが選択される。

マルチプレクサ36は、スリーステート(三状態)バッファ361～365からなり、これらには、必要ビットデータが記憶されているものと想定される。

I/Oセレクションレジスタ群353の出力端子は、バッファ361および363の非反転制御入力端子、ならびにバッファ362および364の反転制御入力端子に接続されている。I/Oセレクションレジスタ群353の出力端子が「1」のときにバッファ361および363が開き、I/Oセレクションレジスタ群353の出力端子が「0」のときにバッファ362および364が開く。

ポートデータレジスタ群355の出力端子はバッファ361の入力端子に接続され、データディレクションレジスタ群356の出力端子はバッファ363の入力端子に接続され、ポートデータレジスタ358の出力端子はバッファ362の入力端子に接続され、データディレクションレジスタ359の出力端子はバッファ364の入力端子に接続されている。

バッファ361、362の出力端子は接続されてバッファ365の入力端子に接続されている。バッファ365の非反転制御入力端子は、バッファ363、364の出力端子に接続されており、バッファ365の開閉を制御できるようになっている。また、バッファ365の出力端子は、I/O26及びポートデータレジスタ351、360に接続されている。

図9は、図8における各レジスタの真理値表(メインCPU1bから見た状態)を示すものであり、I/Oセレクションレジスタ353が「0」に設定されているときに、I/O26のアクセス権がCPUコア20に移っている状態を説明している。この場合、図9は、データディレクションレジスタ群356の値とは無関係に、I/Oインターフェース26の方向は入力状態であること、またポートデータレジスタ群355の値とは無関係に、バッファ等の状態はサブCPU2によって決定されることを示している。

そして当該表は、I/Oインターフェース26の入力状態が図9の上側8個のいずれかの状態であるときに、ポートデータレジスタ357を介して読み取ることができることを表している。

〈周辺機器ポート27〉

図4は、周辺機器ポート27周辺の回路図を示す。上述したように、I/Oインターフェース26は2チャンネルの周辺機器ポート27を有する。それぞれの周辺機器ポート27の信号線D、U、TH、TR、TL、R、Lは対応する抵抗271により電源Vccにプルアップされている。このため、信号線に周辺機器が接続されていない場合には、信号線の電圧はVcc(「1」)となる。これにより、データ入力に設定されている信号線(例えば、R、L、D、U)がすべて「1」の状態である場合には、周辺機器が周辺機器ポート27に周辺機器が接続されていないとサブCPU2は判断する。

〈周辺機器〉

周辺機器の種類は、コントローラもしくはジョイパッド(PAD)、マウス、キーボード等数多く、よってそれぞれの周辺機器の種類に応じた通信等の処理を行う必要がある。本実施例においては、周辺機器の種類は2つの周辺機器ID-1およびID-2により表され、接続された周辺機器を自動認識する。周辺機器ID-1は、サブCPU2に通信方式等を決定させるために使用されるものである。この周辺機器ID-1はメインCPU1bには転送されない。また、周辺機器ID-2は、メインCPU1bに周辺機器の種類に応じた画像処理を実行させるために使用されるものである。従って、この周辺機器ID-2は周辺機器から読

み出され、それからメインCPU 1 bに転送される。

周辺機器ID-1と周辺機器名との関係が図10に示されている。この図における周辺機器ID-1の値は、サブCPU 2が信号線THに「1」を出力した場合における信号線R、L、D、Uの各値と、サブCPU 2が信号線THに「0」を出力した場合における信号線R、L、D、Uの各値により決定される。すなわち、周辺機器ID-1は、具体的には、以下の式に従い算出されるもので、かつ4ビットである。

$$\begin{aligned} \text{周辺機器ID-1} = & \{(\text{TH=1の時のR})\text{OR}(\text{TH=1の時のL})\} \times 8h \\ & + \{(\text{TH=1の時のD})\text{OR}(\text{TH=1の時のU})\} \times 4h \\ & + \{(\text{TH=0の時のR})\text{OR}(\text{TH=0の時のL})\} \times 2h \\ & + \{(\text{TH=0の時のD})\text{OR}(\text{TH=0の時のU})\} \times 1h \end{aligned}$$

ここでhは、十六進数の接尾部を表す。

サブCPU 2は、周辺機器ID-1を参照することにより周辺機器を自動認識することができ、認識した周辺機器ID-1に対応した通信方式を決定することができる。例えば、周辺機器ID-1の値が「Bh」である場合には、周辺機器ポート27に接続された周辺機器が標準PADであるとサブCPU 2は判断する。例えば、周辺機器ID-1の値が「3h」である場合には、周辺機器ポート27に接続された周辺機器がマウスであるとサブCPU 2は判断する。さらに例えば、周辺機器ID-1の値が「Dh」である場合には、周辺機器ポート27に接続された周辺機器が「3TRG/6TRG/PAD」(3/6ボタンのPAD)であることをサブCPU 2は判断する。さらに例えば、周辺機器ID-1の値が「7h」である場合には、周辺機器ポート27に接続された周辺機器が「複数の周辺機器接続用の4Pアダプタ」であることをサブCPU 2は判断できる。

信号線TRは、一部の周辺機器においては出力線として使用されており、これにより、周辺機器の信号線TRがロウインピーダンス(出力)になっていた場合に、I/Oインターフェース26または関係する周辺機器側のデバイス破壊が生じるおそれがある。この望ましくない状況を回避するために、周辺機器ID-1の算出のために信号線R、L、D、およびUの値を読み取る際には、信号線TRを

ハイインピーダンスの状態にしておくとともに、プルアップすることにより信号線 T R をハイレベルにしておくことが望ましい。

周辺機器 I D - 2 は、通信方式決定後の通信において周辺機器から出力されるデータである。この周辺機器 I D - 2 は、アウトプットレジスタを介してメイン CPU 1 b に転送され、メイン CPU 1 b の画像制御において参照される。周辺機器 I D - 2 と周辺機器名との関係が図 1 1 に示される。例えば、周辺機器 I D - 2 の値が「1 h」である場合には、周辺機器がジョイスティック等のアナログデバイスであるとメイン CPU 1 b は判断する。このとき、周辺機器 I D - 1 の値は、周辺機器が周辺機器 I D - 2 を出力することを表す「5 h」となる。すなわち、周辺機器 I D - 1 が「5 h」である場合にのみ、周辺機器が周辺機器 I D - 2 を出力する。

以上のように、2 つの周辺機器 I D - 1 および I D - 2 を使用することにより、機種異なる TV ゲーム機用の周辺機器を当該 TV ゲーム機において使用することが可能となる。例えば、従来機種用の周辺機器に周辺機器 I D - 1 が割り当てられていたとする。この場合に、周辺機器 I D - 1 に加えて新機種の周辺機器に周辺機器 I D - 2 を割り当てることにより、新機種の周辺機器は新旧の両機種の周辺機器を使用することが可能となる。したがって、本実施例によれば、周辺機器の互換性を保ちながら、新機種の開発を行うことができる。

〈周辺機器ポートと周辺機器との間の通信方式〉

サブ CPU 2 は、周辺機器の種類に応じて以下の通信方式に従い、通信を行う。上述したように、通信方式は、周辺機器 I D - 1 の値により決定される。

例えば、周辺機器 I D - 1 の値が「D h」等である場合には、周辺機器ポート 2 7 に接続された周辺機器が「3 T R G / 6 T R G P A D」であるとサブ CPU 2 は判断する。この場合には、「3 T R G / 6 T R G P A D」の周辺機器に応じたパラレル通信方式がサブ CPU 2 により選択される。周辺機器 I D - 1 の値が「B h」である場合には、周辺機器ポート 2 7 に接続された周辺機器が標準 P A D (コントロールパッド) であるとサブ CPU 2 は判断することができる。この場合には、周辺機器 I D - 1 (= B h) に従い、後述する T H / T R セレクト通信方式

がサブCPU2により決定される。

周辺機器ID-1の値が「5h」である場合には、図12の対応表に基づき、3線ハンドシェイク通信方式、クロック同期式パラレル通信方式、クロック同期式シリアル通信方式のうちのいずれかの通信方式が決定される。図12に、各信号線と通信方式との関係を示す。例えば、サブCPU2がTH=1およびTR=1を出力したときに周辺機器がR=0、L=0、D=0、およびU=1を出力し、かつ、サブCPU2がTH=0およびTR=1を出力したときに周辺機器がR=0、L=0、D=0、およびU=1を出力した場合には、3線ハンドシェイク通信方式がサブCPU2によって選択される。また、サブCPU2がTH=1およびTR=1を出力したときに周辺機器がR=0、L=0、D=1、およびU=0

を出力し、かつ、サブCPU2がTH=0およびTR=1を出力したときに周辺機器がR=0、L=0、D=1、およびU=0が出力した場合には、クロック同期式シリアル通信方式が選択される。さらに、サブCPU2がTH=1およびTR=1を出力したときに周辺機器がR=0、L=0、D=1、およびU=1を出力し、かつ、サブCPU2がTH=0およびTR=1を出力したときに周辺機器がR=0、L=0、D=1、およびU=1を出力した場合には、クロック同期式パラレル通信方式がサブCPU2によって選択される。

クロック同期式シリアル通信方式に基づく周辺機器において、図13Cのプラグコネクタ2apのピン構成に示されるとおり、信号線R、LがGNDに配線され、Dの信号線が電源Vccに配線されることが望ましい。これにより、通信方式が誤って選択されることが防止される。通信方式が決定された後は、サブCPU2は適切な通信方式に従い周辺機器に対するアクセスを行う。

続いて、TH/TRセレクト通信方式、3線ハンドシェイク通信方式、クロック同期式パラレル通信方式、クロック同期式シリアル通信方式の詳細について説明する。

図14は、TH/TRセレクト通信方式を説明するための図であり、この通信方式は、主に標準PAD等の周辺機器において使用されるものである。図14の「右」、「左」、「下」、「上」、「開始」、「TRG-A~C」、「TRG-L」、「TRG-

R」、「TRG-X~Z」は、標準PADに設けられた各キーのデータを表している。この通信方式においては、信号線THおよびTRは、データ出力(I/Oインターフェース26から周辺機器に向けての信号送信)に設定される。信号線TL、R、L、D、およびUはデータ入力(周辺機器からI/Oインターフェース26に向けての信号送信)に設定される。図14に示されるように、サブCPU2側において、信号線THおよびTRの状態を順次変化させることにより、周辺機器は第1ないし第4データを信号線R、L、D、Uに出力する。従って、サブCPU2はR、L、D、およびUの各信号線に出力されたデータを読み取ることにより、周辺機器データ(標準PADのキーの状態)を収集する。収集された周辺機器データは、アウトプットレジスタを介してメインCPU1bに送出される。

周辺機器2bがTH/TRセレクト通信方式を採用すると、そのプラグコネクタ2apは、図13Aに示されるとおり、互いに電氣的に離れている9つのピン構成を有する。

図15は、3線ハンドシェイク通信方式を説明するための図であり、この通信方式は、マウス等の周辺機器において使用されるものである。3線ハンドシェイク通信方式においては、信号線THおよびTRは、データ出力(I/Oインターフェース26から周辺機器に向けての信号送信)に設定されている。信号線TL、R、L、D、およびUは、データ入力(周辺機器からI/Oインターフェースに向けての信号送信)に設定されている。サブCPU2が周辺機器へのアクセスを開始した時点においては、信号線TH、TR、およびTLはすべて「1」となっている。サブCPU2は、周辺機器ID-1算出用データの前半を示す4ビットのデータを信号線R、L、D、およびUから読み出す。そして、サブCPU2は、信号線THに周辺機器セレクト信号として「0」を出力し、周辺機器ID-1算出用データの後半を示す4ビットのデータを読み出す。

この後、サブCPU2が信号線TRの信号レベルを「0」に反転すると、周辺機器ID-2上の4ビットのデータ(ID0~ID3)が周辺機器から信号線R、L、D、およびUに出力される。このとき、周辺機器は信号線TLを「0」に反転し、信号線R、L、D、およびUに出力されたデータが確定されたことをサブCP

U2に知らせる。サブCPU2が、信号線TLの反転を確認した後、サブCPU2は信号線R、L、D、およびUに出力された周辺機器ID-2のデータを読み取る。さらに、サブCPU2が信号線TRを「1」に反転すると、周辺機器は、信号線R、L、D、およびUに周辺機器データの総バイト数を表すデータサイズ信号(DSIZE0~DSIZE3)を出力する。サブCPU2は、信号線TLの「1」への反転を確認した後、信号線R、L、D、およびUに出力されたデータサイズ信号を読み取る。以下、サブCPU2がTRの信号線の電圧レベルを順次反転することにより、周辺機器は周辺機器データ(DATA)を出力する。周辺機器ID-2、データサイズ信号、および周辺機器データはアウトプットレジスタを介してメインCPU1bに送出される。

次に出力される周辺機器データ(R=0、L=0、D=0、U=0)は、接続確認用データである。サブCPU2は、このデータを確認することにより、周辺機

器ポートが正しく接続されているか否かを判断することができる。仮に、周辺機器の一部のプラグ端子がデータ処理装置のソケットコネクタから取り外された場合には、プルアップされた信号線R、L、D、およびUのいずれかが「1」となってしまう、接続確認用データの値はR=0、L=0、D=0、およびU=0ではなくなる。したがって、サブCPU2は、接続確認用データを参照することにより、通信途中に周辺機器が取り外されたとを判断でき、よって誤った周辺機器データがメインCPU1bに返されるのを未然に防止する。

周辺機器2bが3線ハンドシェイク通信方式を使用する場合、そのプラグコネクタ2apは、図13Aに示されるように、互いに電氣的に独立した9つのピンのピン構成を有する。

図16は、クロック同期式パラレル通信方式を説明するための図である。この通信方式における各信号線の入出力のための設定は、3線ハンドシェイク通信方式における設定と同様であるが、但し、この通信方式を用いた周辺機器においては、図13Bに示されるようにプラグコネクタ2apのTRおよびTLの両信号線が短絡されているため、信号線TRに出力された信号がそのままTLの信号線に入力される。サブCPU2が周辺機器へのアクセスを開始した時点においては

、信号線 T H、T R、および T L はすべて「1」となっている。このとき、サブ C P U 2 は、周辺機器 I D - 1 算出用データの前半を示す 4 ビットのデータを信号線 R、L、D、および U から読み出す。そして、サブ C P U 2 は、信号線 T H に周辺機器セレクト信号として「0」を出力し、周辺機器 I D - 1 算出用データの後半を示す 4 ビットのデータを読み出す。サブ C P U 2 は、算出された周辺機器 I D - 1 に基づき、クロック同期式通信方式を選択することができる。

サブ C P U 2 が T R の信号線に「0」を出力すると、4 ビット・サイズの周辺機器 I D - 2 のデータが周辺機器から信号線 R、L、D、および U に出力される。次に、サブ C P U 2 が T R の信号線に「1」を出力すると、4 ビットのデータサイズのデータが出力される。以降、サブ C P U 2 は T R の信号線を順次反転することにより、周辺機器データを出力する。

なお、周辺機器 I D - 1、周辺機器 I D - 2、データサイズ、周辺機器データ、および接続確認用データは、3 線ハンドシェイクパラレル通信方式のものと同様

である。

図 1 7 は、クロック同期式シリアル通信方式を説明するための図であり、この通信方式においては、信号線 T H および T R はデータ出力に設定され、信号線 U はデータ入力に設定される。サブ C P U 2 が周辺機器へのアクセスを開始した時点においては、信号線 T H および T R は「1」に、信号線 T L は「0」となっている。サブ C P U 2 は、周辺機器 I D - 1 算出用データの前半を示す 4 ビットのデータを信号線 R、L、D、および U から読み出す。サブ C P U 2 は、信号線 T H に周辺機器セレクト信号として「0」を出力し、周辺機器 I D - 1 算出用データの後半を示す 4 ビットのデータを読み出す。これらのデータにより算出された周辺機器 I D - 1 に基づき、クロック同期式シリアル通信方式が決定される。

サブ C P U 2 が周辺機器にアクセスする場合には、まず、サブ C P U 2 は T H の信号線に周辺機器セレクト信号として「0」を出力する。サブ C P U 2 が T R の信号線にクロック信号を出力すると、周辺機器は信号線 U にデータを 1 ビット毎に出力する。図 1 7 に示されるように、周辺機器 I D - 2、データサイズ・デー

タ、および周辺機器データ等のデータが1ビット毎に出力される。サブCPU 2は、信号線TRに出力されたクロックの立ち上がりにおいて、信号線Uに出力されたデータを読み取る。クロック同期式シリアル通信方式における周辺機器側プラグコネクタ端子が図13Cに示される。プラグコネクタ2apでは、信号線Dは電源Vccに配線され、信号線TL、R、およびLはGNDに配線されている。従って、クロック同期式シリアル通信方式により通信が行われる場合に、信号線TL、R、およびLが「1」となった場合には、周辺機器が周辺機器ポート27に接続されていないとサブCPU 2は判断する。

(作用)

続いて、本実施例に係るTVゲーム機の作用を説明する。

(1) サブCPUコントロールモードにおける処理の概要

以下に、サブCPUコントロールモードにおける処理の概要を説明する。サブ

CPUコントロールモードとは、上述したようにサブCPU 2がメインCPU 1bのコマンドに従い、周辺機器データの収集等を行う動作状態をいう。サブCPUコントロールモードにおける処理は、図18のシーケンスチャートを参照しながら説明する。

〈データ用レジスタ群の設定〉

まず、メインCPU 1bが、CD-ROMドライブ5aにセットされるCD-ROM、あるいはカードリッジ接続部1eに挿入されたROMカセットのプログラムを実行する。サブCPU 2によるコントロールモードでの処理が可能であるとメインCPU 1bが判定したときには、メインCPU 1bはサブCPU 2の状態を見る。切換手段40がサブCPU 2側にない場合には、メインCPU 1bはデータ用レジスタ群(図7)に所定のデータを書き込むことにより、周辺機器ポート27の入出力方向を設定する(T1)。

データ用レジスタ群の設定は、図19のフローチャートに従って行われる。メインCPU 1bは、アドレスバス101およびコントロールバス102に所定のデータを出力して、デコーダ251を介してデータディレクションレジスタ(DDR)356を選択する。次いで、メインCPU 1bはデータバス103に例え

ば「00H」を出力して、DDR356にこれをセットする(ステップS501)。メインCPU1bは、アドレスバス101およびコントロールバス102に所定のデータを出力して、デコーダ251を介してI/Oセレクションレジスタ353を選択する。次に、メインCPU1bは、データバス263に「0」を出力して、I/Oセレクションレジスタ(I O S E L)353に「0」をセットする(ステップS502)。以上のオペレーションにより、モードはサブCPUコントロールモードに移行される。

サブCPU2におけるI/Oセレクションレジスタ353は、システムの電源が投入された状態において、通常サブCPU2側が選択されるように設定されている。したがって、この場合には切換手段40がサブCPU2側に接続されるように設定されているため、メインCPU1bから切換コマンドは出力されない。

サブCPUコントロールモードにおいては、I/Oセレクションレジスタ(I O S E L)353の出力端子は「0」を出力するため、バッファ361および363が開放状態になり、かつバッファ362、364がオンとなる。したがって、I/Oインターフェース26のアクセス権は、CPUコア20に属している。

図9は、I/Oセレクションレジスタ353が「0」に設定されているときに、I/Oインターフェース26のアクセス権がCPUコア20に移っている状態を説明している。この場合、図9は、データディレクションレジスタ356の値に無関係に、I/Oインターフェース26の方向はデータ入力に設定されており、またバッファ等の状態は、ポートデータレジスタ355の値には無関係にサブCPU2によって決定されることを示している。図9はまた、I/Oインターフェース26の入力状態が図9の上側のいずれかの状態であるときに、サブCPU2がポートデータレジスタ357を介して周辺機器データを読み取ることができることを表している。

CPUコア20は、必要に応じてデータディレクションレジスタ359に「1」を設定して、必要なデータをポートデータレジスタ358を介して周辺機器側に与えたり、周辺機器からポートデータレジスタ360を介してデータを収集する

。上記のとおり、周辺機器がCPUコア20に接続されているときには、周辺機器は低速型であり、かつデータも比較的到低速で収集される。したがって、周辺機器としては、例えば標準PAD等が使用される。

なお、周辺機器が高速であるとは、CPUコア20がモニタ3dからの垂直同期信号に同期して周辺機器のデータを収集していることから、CPUコア20がデータ収集のタイミングで一定量より多くのデータを収集する必要があることをいい、一方、周辺機器が低速であるとは、そのタイミングにおいて一定量より少ないデータを収集する必要があることをいう。

CPUコア20は、垂直同期信号に同期して周辺機器のデータを収集し、そのタイミングで収集したデータをアウトプットレジスタを介してメインCPU1bに供給する。したがって、メインCPU1bは、周辺機器の処理を行なう必要がないのでメインCPU1bへの負荷が軽減され、メインCPU1bは画像処理に集中し、ゲーム機のオペレーションを高速で実行することができる。

〈インプットレジスタの設定〉

データ用レジスタ群35が設定された後、ステータスフラグ(SF)(図5)がリセットされたか否か(サブCPU2がコマンド受付可能か否か)を、メインCPU1bは判断する。ステータスフラグがセットされた状態(サブCPU2がコマンド実行中)である場合には、ステータスフラグがリセットされるまで、メインCPU1bは待機する。ステータスフラグがリセットされたときメインCPU1bが判断した場合には、メインCPU1bはステータスフラグをセットし、インプットレジスタ(IREG)(図5)にコマンドパラメータを書き込む(T2)。コマンドパラメータによる設定内容としては、例えば、後述する周辺機器データ収集タイミングの最適化処理が行われるべきか、またはサブCPU2のステータスの情報が返されるべきかという設定である。

〈インタラプトバックコマンドの発行〉

さらに、メインCPU1bは、コマンドレジスタ(COMREG)(図5)にインタラプトバックコマンド(INTBACK)を表す「10h」のデータを書き込む(T3)。このインタラプトバックコマンドは、サブCPU2に周辺機器データを

取得させるために使用される。インタラプトバックコマンドの発行時期が図20に示される。図20に示されるように、インタラプトバックコマンドは、一般的に映像信号の垂直帰線消去期間(V-BLANK-INからV-BLANK-OUTまで)に発行される。

〈周辺機器データの収集〉

サブCPU2がコマンドレジスタを介してインタラプトバックコマンドを受け取った後、所定時間経過後にサブCPU2は周辺機器データの収集を開始する(T4)。一般に、メインCPU1bは、画像の表示を行っていないV-BLANKの

間に、周辺機器データを読み込んでいる。このため、図20および図21に示されるように、サブCPU2がインタラプトバックコマンドを受け取った後、サブCPU2はなるべくV-BLANK-IN(T6)に近い時刻(T4~T5)に周辺機器データの収集を行っている。このように、画像制御開始(V-BLANK-IN)のタイミングと周辺機器データ収集タイミングとの時間差を少なくすることにより、メインCPU1bは刻々と変化する周辺機器データの最新の内容を使用することが可能となる。これにより、周辺機器操作に対するゲームの反応が速められる。また、例えば1フィールド中に周辺機器データの内容が変化する場合においても、メインCPU1bは最新の周辺機器データを取得することができ、これによって、周辺機器の操作に忠実な画像制御を行う。以上の処理を周辺機器データ収集タイミングの最適化処理という。

時刻T4において、まずサブCPU2のCPUコア20は、I/Oインターフェース26を介して周辺機器ポート27の信号線R、L、D、およびUの信号レベルを読み取る。周辺機器ポート27に周辺機器が接続されていない場合には、電源Vccにプルアップされた信号線R、L、D、およびUは全て「1」になる。この場合、周辺機器ID-1は、未登録の値(図10において、周辺機器が割り当てられていない周辺機器ID-1、すなわち「Fh」)となるため、周辺機器が未接続であることをサブCPU2は判断する。

サブCPU2によって読み取られた周辺機器ID-1の値が登録されたもので

ある場合には、この周辺機器ID-1の値に対応した周辺機器が接続されているとサブCPU2は自動的に判断する。このとき、サブCPU2は、信号線R、L、D、およびUの値に基づき、TH/TRセレクト通信方式、3線ハンドシェイク通信方式、クロック同期式シリアル通信方式、およびクロック同期式パラレル通信方式等のうちのいずれかを適切なものとして自動的に選択する(図12)。

例えば、TH=1、TR=1、R=0、L=0、D=0、U=1、かつ、TH=0、TR=1、R=0、L=0、D=0、U=1である場合には、サブCPU2は図15に示される3線ハンドシェイク通信方式を選択する。そして、サブCPU2は、3線ハンドシェイク通信方式に従い、周辺機器ID-2、データサイズ・データ、および周辺機器データを順に周辺機器から読み出す。周辺機器デー

タが読み出された期間は、図21(2)において示されている。読み出されたデータは、サブCPU2内のアウトプットレジスタ(OREG)に格納される。

〈アウトプットレジスタの作成〉

図22は、インタラプトバックコマンドが実行された後のアウトプットレジスタの内容を示している。アウトプットレジスタには、2チャンネルの周辺機器ポート27のそれぞれに関するデータが同一の形式で格納される。周辺機器ポート1に関するデータ401は、ポート1ステータス、周辺機器1データ、周辺機器2データ、・・・、周辺機器mデータ(符号402で示される)を含む。周辺機器1データ、周辺機器2データ、・・・は、マルチタップ(コネクタ)を介して周辺機器ポートに接続された複数の周辺機器のデータを表している。周辺機器ポートに接続されたマルチタップのID、ならびに周辺機器ポートに接続された周辺機器数のデータが、ポート1ステータスに書き込まれる(符号403で示される)。なお、周辺機器ポートに周辺機器が接続されていない場合、あるいは、未登録の周辺機器が周辺機器ポートに接続された場合には、コネクタ数のデータは「0h」となる。

さらに、周辺機器情報、拡張データサイズのデータ、および周辺機器データ(第1ないし第n)が一つの周辺機器1データに書き込まれる(符号404で示される)。なお、修正データサイズは、16バイト以上のデータサイズを有する周辺

機器が接続された場合に付加されるものである。周辺機器情報は、周辺機器ID-2およびデータサイズより構成されている(符号405で示される)。また、ステータスレジスタ(SR)のNPEのビットは、メインCPU1bに転送されていない周辺機器データの有無を表している。未転送の周辺機器データがある場合にはNPEに「1」が書き込まれ、全ての周辺機器データが転送された場合にはNPEに「0」が書き込まれる。このようにして、アウトプットレジスタへのデータの書き込みが終了する(図11および図18のT5)。

〈アウトプットレジスタの取得等〉

図18において、アウトプットレジスタへの周辺機器データ等の書き込みが終了した後、サブCPU2は、時刻T6においてメインCPU1bに割り込む(T7)。この割り込みに応じて、メインCPU1bは、アウトプットレジスタに書き込まれた周辺機器データを取得する。メインCPU1bが、ステータスレジスタのNPE(残りデータの有無を表す)を参照し、残りの周辺機器データがある判断した場合には、メインCPU1bはサブCPU2に対して残りデータをメインCPUに転送することを要求する(CONTINUE要求)。サブCPU2は残りの周辺機器データをアウトプットレジスタに書き込み(T7~T8)、メインCPU1bに割り込む。なお、メインCPU1bからCONTINUE要求がなされる場合としては、周辺機器データのサイズが大きいために、または複数の周辺機器が接続されたマルチタップを有する周辺機器が使用されたために、周辺機器データがアウトプットレジスタに収まらない場合がある。

同様に、メインCPU1bは残りの周辺機器データをアウトプットレジスタから取得する。このようにして、V-BLANK-OUTからV-BLANK-INの期間において、周辺機器データが複数に分けられてメインCPU1bに連続して転送される。周辺機器データのサイズが小さい場合には、全ての周辺機器データは垂直走査期間内において一度にメインCPU1bに転送される。このようにして、全ての周辺機器データをメインCPU1bに転送することにより、インタラプトバックコマンドの実行が終了する(T9)。この後、メインCPU1bは、周辺機器から転送された周辺機器データに基づき、図23に示されるように、

V-B L A N K-I N後の1フィールドの期間内に3次元演算等の画像制御を行い、画像制御により得られた画像データを2つのフレームバッファのうち的一方(例えばA面)に書き込む。そして、次のフィールドにおいては、このA面のフレームバッファに書き込まれた画像データが表示され、この間、サブCPU2は周辺機器から新たな周辺機器データを収集する。使用されるアプリケーションソフトによっては、複数フィールド毎に、表示画面が切り替えられる(図24)。

以上のように、メインCPU1bが、サブCPU2に周辺機器データを収集させることにより、メインCPU1bは、データ転送速度の遅い(数 μ sec~数百

μ sec)周辺機器へのアクセスを行う必要がない。このため、画像処理は高速で実行される。

(2) メインCPUダイレクトモードにおける処理の概要

図19は、ダイレクトモードでのメインCPU1bの動作を示すフローチャートである。

このフローチャートにおいて、メインCPU1bは、CD-ROMドライブ5aにセットされたCD-ROMや、またはカートリッジ接続部1eに挿入されたROMカセットのプログラムを実行する。メインCPU1bは、メインCPU1bによるダイレクトモードによらなければ周辺機器制御処理を実行できないと判断したときには、アドレスバス261およびコントロールバス262に所定のデータを出力して、デコーダ251を介してポートデータレジスタ(PDR)355を選択する。

次いで、メインCPU1bは、データバス263に所定の値を出力して、これをポートデータレジスタ(PDR)355にセットする(図19のS401)。次に、メインCPU21は、アドレスバス101およびコントロールバス102に所定のデータを出力して、デコーダ251を介してデータディレクションレジスタ(DDR)356を選択する。

次いで、メインCPU1bは、データバス103に所定の値を出力して、これをデータディレクションレジスタ356にセットする(図19のS402)。

さらに、メインCPU1bは、アドレスバス101およびコントロールバス102に所定のデータを出力して、デコーダ251を介してI/Oセレクションレジスタ353を選択する。次いで、メインCPU1bは、データバス103に例えば「1」を出力して、これをI/Oセレクションレジスタ353にセットする(図19のS403)。

I/Oセレクションレジスタ353の出力端子は「1」を出力するため、バッファ361および363がオン状態になり、バッファ362および364が開放状態になる。したがって、I/Oへのアクセス権は、メインCPU1bに移る。

ここで、図9の下段8個の状態は、I/Oセレクションレジスタ353が「1」に設定されているときの状態を表しており、I/Oインターフェース26のアクセス権がメインCPU1bに移っている状態を表している。

この場合、データディレクションレジスタ356の値が「0」のときに、この値がバッファ363を介してバッファ365の制御入力端子に供給される。よってバッファ365が開放状態になり、I/Oインターフェース26の方向はデータ入力に設定される。ポートデータレジスタ359の値に応じて、マルチプレクサ36等のCMOSトランジスタの状態は、図9に示されるように変化する。つまり、ポートデータレジスタ359の値が「0」のときにはCMOSトランジスタのインピーダンスは高く、ポートデータレジスタ359の値が「1」のときにプルアップMOSトランジスタがオンになる。そして、メインCPU1bはI/Oインターフェース26の入力状態に応じた論理値をポートデータレジスタ351を介して読み取る。

データディレクションレジスタ356の値が「1」のときには、その値はバッファ363を介してバッファ365の制御入力端子に供給される。よって、バッファ365がオン状態になり、I/O26の方向はデータ出力に設定される。ポートデータレジスタ355の値に応じて、マルチプレクサ36等のCMOSトランジスタの状態は図9に示されるように変化する。つまり、レジスタ355の値が「0」のときにはNMOSトランジスタがオンとなり、ポートデータレジスタ355の値が「1」のときにはプルアップMOSとPMOSトランジスタがオンになり

、そして、メインCPU 1 bからポートデータレジスタ 3 5 5 に書き込まれた値が、I/Oインターフェース 2 6 を介して周辺機器に与えられる。このとき、ポートデータレジスタ 3 5 5 に設定された値に応じた論理値が、ポートデータレジスタ 3 5 7 を介してメインCPU 1 bに読み込まれる。メインCPUダイレクトモードからサブCPUコントロールモードにモードが移行される場合には、再度図 2 5 のフローチャートを実行する必要がある。

このように本実施例では、サブCPU 2 は、必要に応じて周辺機器を制御したり、周辺機器からデータを収集したりすることができる。より詳しくは、メインCPU 1 bは、必要に応じて周辺機器を直接制御したり、周辺機器からデータを

直接収集することができる。また、メインCPU 1 bは、周辺機器に直接データを書き込むこともできる。この場合に考えられる周辺機器としては、高速のデータ通信を要する周辺機器が挙げられる。よって、適切な高速の周辺機器としては、外部メモリ、フロッピーディスク、ハードディスク等の記憶装置や、プリンタ等が挙げられる。

したがって、この直接制御モードでは、次のような利点がある。

- (a) サブCPU 2 で管理かつ制御できない周辺機器がソケットコネクタ 2 a s に接続されても、メインCPU 1 b がこれを管理かつ制御できる。また、周辺機器から多量のデータが出力されるときに、接続切換手段で周辺機器をメインCPUに接続できるので、多量のデータを出力する周辺機器であっても制御可能である。
- (b) プリンタ、外部メモリ、フロッピーディスク、およびハードディスク等の記憶装置等の周辺機器にデータを与えることができる。
- (c) サブCPU 2 の最高可能処理速度よりも高速にアクセスする必要がある周辺機器(例えば外部メモリ、フロッピーディスク、ハードディスク等)が制御可能である。
- (d) サブCPU 2 に不備な点があっても、メインCPU 1 b が周辺機器を直接制御できるので、このような事態に対応することができる。

(3) 周辺機器データ収集タイミングの最適化処理の詳細

上述したように、本実施例に係るTVゲーム機にあっては、周辺機器データ収集タイミングの最適化処理を行うことが可能である。

この最適化処理は、大別して3つの処理に分けられる。第1の処理は、図26のフローチャートに示される初期化処理である。この処理は、図27のタイミング(例えば電源投入時等)に行われるフラグの初期化に関わる。第2の処理は図28のフローチャートに示されるV-BLANK-IN割り込み処理である。この処理は、図27に示されるようにV-BLANK-IN時に行われる周辺機器データ収集タイミングの算出に関わる。第3の処理は図29のフローチャートに

示される周辺機器処理に関わる。この処理は、第2の処理によって算出された周辺機器データ収集タイミングまでタイマにカウントさせ、当該タイミングにおいて周辺機器データ収集を行うことに関わる。第3の処理は、第2の処理が終了した直後に開始する。但し多くの場合は、周辺機器データの収集が行われるのは、第3の処理の後半の時(V-BLANK-INに近い時)である。

以下に、第1～第3の処理を、図26、28および29のフローチャートならびに図30のタイミングチャートを参照しながら説明する。

先ず、TVゲーム機の電源が投入されると、第1の処理(初期化処理)が実行される(図30中のT101)。第1の処理の内容が図26のフローチャートによって示されている。まず、サブCPU2はフラグ1に「0」を代入することにより、フラグ1の初期化を行う(S101)。フラグ1は、次回の周辺機器処理を行う際に周辺機器データ収集タイミングが最適化されるか否かを表す。初期化時はフラグは「0」(最適化を行わない)である。サブCPU2はフラグ2に「1」を代入することにより、フラグ2の初期化を行う(S102)。フラグ2は、周辺機器データの収集中にタイムアウト(V-BLANK-IN)が発生したか否かを表す。タイムアウトが発生した場合には、フラグ2に「1」が書き込まれる。続いて、サブCPU2は変数Aに「0」を代入することにより、変数Aの初期化を行う(S103)。変数Aは、サブCPU2によって算出された周辺機器データ収集タイミングと、V-BLANK-INから周辺機器データ収集タイミングまでの時間を示している。

第1の処理の後にV-B L A N K-I N割り込みが発生すると(T 1 0 2)、第2の処理(V-B L A N K-I N割り込み処理)が実行される。この第2の処理の内容が図28のフローチャートによって表されている。まず、サブC P U 2は、フラグ1の内容を判断する(S 2 0 1)。このとき、初期化処理によりフラグ1の内容は「0」にセットされているため、サブC P U 2はS 2 0 5の処理を実行する。すなわち、サブC P U 2はカウンタXの内容を「0」にする(T 1 0 2)。このカウンタXは、サブC P U 2の内部カウンタ24(図2)によってインクリメントされるものである。

第2の処理が終了した後、第3の処理(周辺機器処理)が実行される(T 1 0 3)。

第3の処理の内容が図29のフローチャートに示される。まず、サブC P U 2はフラグ2に「0」を代入し(S 3 0 1)、最適化が行われるか否かを表すフラグ1の内容を判断する(S 3 0 2)。このとき、フラグ1は「0」のままであるため(S 3 0 2で「0」)、サブC P U 2はS 3 0 5以降のステップを実行する。

S 3 0 5においては、サブC P U 2は変数AにカウンタXの値を代入する。すなわち、図30における時刻T 1 0 2から時刻T 1 0 3までの時間Y 0を示す値が変数Aに代入される。この後、サブC P U 2は周辺機器データの収集を開始する(S 3 0 6、T 1 0 3)。次に、サブC P U 2は、現在の時刻がV-B L A N K-I Nになったか否かを判断しながら(S 3 0 7)、周辺機器データを収集し続ける(S 3 0 6～S 3 0 9)。すべての周辺機器データの収集が終了すると(S 3 0 9でYES、T 1 0 4)、サブC P U 2は収集された周辺機器データをアウトプットレジスタに書き込む(S 3 1 0)。同時に、サブC P U 2は、カウンタXに「0」を代入する(S 3 1 1)。すなわち、時刻T 1 0 4においてカウンタXの内容はリセットされ、再度カウンタXのカウント動作が始まる。

V-B L A N K-I N割り込みが発生すると(T 1 0 5)、第2の処理が実行される。このとき、フラグ1の内容は「0」であり、タイムアウトの発生を表すフラグ2の内容も「0」であるため、サブC P U 2はS 2 0 3の処理を実行し、S 2 0 3においては、サブC P U 2は変数AにカウンタXのカウントを加え、さらにカ

ウンタXのカウントと変数Aの合計とマージン α との差の値を変数Aに代入する処理を行う(S 2 0 3)。このとき、変数Aの値は時間Y 0を示し、カウンタXの値は時間Z 0を示す(図3 0)。よって、変数 $A=Y 0+Z 0-\alpha=Y 1$ となり、このY 1は、現在の時刻(T 1 0 5)から次の周辺機器データ収集タイミング(T 1 0 6)までの時間を表している。したがって、現在時刻(T 1 0 5)から時間Y 1後に周辺機器データが収集されたならば、タイムアウトが生じることなく周辺機器データ収集タイミングをV-B L A N K-I Nに近づけることができる。次の周辺機器収集時間(T 1 0 6~T 1 0 7)が前回の周辺機器データ収集時間(T 1 0 3~T 1 0 4)よりもマージン α 以上長くなった場合には、タイムアウトが発生する。なお、マージン α は、タイムアウトの発生のおそれを少なくするための余裕時間(約1 m s e c)である。また、I F Mが1フィールドの時間(N T S Cの場合

合は約1 6 . 6 m s e c)とすると、「 $I F M=Y 0+Z 0+$ 周辺機器データ収集時間」の式が成立する。

続いて、サブC P U 2は、次回周辺機器処理で周辺機器データ収集タイミングの最適化を行わせるためにフラグ1に「1」を代入し(S 2 0 4)、カウンタXをリセットする(S 2 0 5)。この後、第3の処理が実行される。サブC P U 2はフラグ2に「0」を代入し(S 3 0 1)、フラグ1の内容を判断する(S 3 0 2)。このとき、フラグ1は「1」であるため、サブC P U 2はS 3 0 3およびS 3 0 4の処理を実行する。S 3 0 4の処理においては、サブC P U 2は、カウンタXのカウントが変数Aの値(=Y 1)に達したか否かを判断する(ステップS 3 0 4)。現在の時刻が周辺機器収集タイミングに達していない場合(S 3 0 4でY E S)には、サブC P U 2はS 3 0 4の処理を実行し続ける。このようにして、現在の時刻が周辺機器収集タイミングになると(S 3 0 4でN O、T 1 0 6)、カウンタXのカウントを変数Aの値に設定した後で(S 3 0 5)、サブC P U 2は周辺機器データの収集を開始する(S 3 0 6)。周辺機器データ収集中に時刻がV-B L A N K-I Nになることなく(S 3 0 7でN O)、周辺機器データの収集が終了した場合(S 3 0 9でY E S、T 1 0 6)には、サブC P U 2は周辺機器データをアウトブッ

トレジスタに書き込み(S 3 1 0)、そして、カウンタ X をリセットして(S 3 1 1)、第 2 の処理を終了する。

以下、同様にサブ CPU 2 が第 2 および第 3 の処理を繰り返す。すなわち、第 2 の処理(T 1 0 8)においてサブ CPU 2 は、前回の Y 1、Z 1、およびマージン α の値に基づき、時刻 T 1 0 8 から次回の周辺機器データ収集タイミング(T 1 0 9)までの時間 Y 2 ($= Y 1 + Z 1 - \alpha$)を算出する。第 3 の処理においては、サブ CPU 2 は、時間 Y 2 経過後に周辺機器データ収集を開始する(T 1 0 9 ~ T 1 1 0)。

さらに、次の第 2 の処理(T 1 1 1)においては、前回の Y 2、Z 2、およびマージン α の値に基づき、時刻 T 1 1 1 から次回の周辺機器データ収集タイミング(T 1 1 2)までの時間 Y 3 ($= Y 2 + Z 2 - \alpha$)を算出する。前回の周辺機器データ収集時間(T 1 0 9 ~ T 1 1 0)が短時間であった場合には、時間 Y 3 は長くなる。ここで、次回の周辺機器データ収集タイミング(T 1 1 2)が遅れ、タイムア

ウトが発生したとする(T 1 1 3)。この場合、第 3 の処理において、サブ CPU 2 は、周辺機器データ収集中に V-B L A N K-I N 割り込みが発生したことを判断する(S 3 0 7 で Y E S)。そして、サブ CPU 2 は、タイムアウトが発生したことを表すフラグ 2 に「1」を代入する(S 3 0 8)。

第 2 の処理においては、フラグ 2 が「1」であるため、S 2 0 3 および S 2 0 4 の処理は実行されず、従って、フラグ 1 は「0」の状態を保持し続ける。さらに、次の第 3 の処理において、フラグ 1 が「0」であるため(S 3 0 2)、サブ CPU 2 は即座に周辺機器データ収集を開始する(S 3 0 6 ~)。このように、前回の周辺機器データ収集中にタイムアウトが発生した場合には、サブ CPU 2 は次回の周辺機器データ収集タイミングを早める処理を行い、これにより、タイムアウトが連続して発生するのを未然に防止することができる。

以上説明したように、周辺機器データ収集タイミングの最適化処理を行うことにより、このタイミングは、メイン CPU 1 による周辺機器データの取得時期に近づかせられる(図 2 1)。周辺機器データ収集タイミングを、画像制御開始時期(V-B L A N K-I N)に近づけることにより、周辺機器操作に対するゲームの

反応を速くすることができる。例えば1フィールド中に周辺機器データの内容が変化する場合においても、メインCPU1bは最新の周辺機器データを取得することができ、これにより、周辺機器の操作に忠実な画像制御を行うことができる。

周辺機器データ収集タイミングの算出(第2の処理のS203)は、1フィールドの時間を参照することなく行われている。したがって、NTSCおよびPAL等の映像信号の規格によらずに、周辺機器データ収集タイミングの最適化処理を行うことができる。

本実施例にあつては、V-BLANK-IN(垂直帰線消去信号)を使用して最適化処理が行われているが、V-BLANK-OUT等の信号を使用して同様の効果を達成できる。メインCPU1bからの命令(インタラプトバックコマンド発行時のコマンドパラメータの設定)により、最適化処理を行わない処理も可能である。さらに、2チャンネルの周辺機器ポート27のそれぞれについて、周辺機器データが取得されるべきか否かの設定がなされていてもよい。また、最適化処理を数フィールド毎に、例えば1フレーム(=2フィールド)毎に行ってもよい(図2

7の下段の図)。

クロック周波数等を変えることにより、周辺機器データの読み出しに要する時間(転送速度)を制御してもよく、このようにすることで、画像制御が開始する直前に周辺機器データの収集を終了(最適化)することができる。

本実施例に係る最適化処理を、画像処理のみならず音声処理その他のデータ処理についても適用することが可能であり、これにより、例えばTVゲーム機における音響処理を、周辺機器の操作に対して迅速に行うことが可能となる。

(4) 周辺機器接続状態の判定

TVゲーム機の電源が投入されている状態において、ユーザは、周辺機器プラグコネクタをデータ処理装置ソケットコネクタに差し込んだり(ホットプラグイン)、あるいは周辺機器プラグコネクタをデータ処理装置ソケットコネクタから抜き取る(ホットプラグアウト)ことができる。データ処理装置が周辺機器から識

別データを読み出しているときにホットプラグインまたはホットプラグアウトが行われた場合には、サブCPU2は、誤った周辺機器ID-1を読み出してしまふことがあり得る。この場合、サブCPU2は、周辺機器がゲーム機に接続されているか否かを正しく判断できないため、誤った周辺機器ID-1に基づきサブCPU2が周辺機器を誤認識してしまうという重大な問題が生じる。

本実施例にあつては、以下の処理において周辺機器接続状態を自動的に判断することにより、これらの問題を可能な限り解決している。

〈周辺機器ID-1を利用した周辺機器接続状態の判定〉

周辺機器がアクセスされる際に、サブCPU2は、先ず信号線TH、TR、R、L、D、およびUの状態により周辺機器ID-1を求める。周辺機器ID-1の決定方法は、TH/TRセレクト通信方式(図14)、3線ハンドシェイク通信方式(図15)、クロック同期式パラレル通信方式およびクロック同期式シリアル通信方式(それぞれ図16および図17)において同一である。すなわち、すべての

周辺機器に対して同一の方法で、周辺機器の接続状態が判断される。

図31は、周辺機器ID-1を利用して周辺機器接続状態を判断する処理の概要を示す。インタラプトバックコマンドを受け取ったサブCPU2は、1フィールド(NTSCの場合、16.6msec)毎に、周辺機器に対するアクセスを行う。なお、サブCPUは複数フィールド毎にアクセスを行ってもよい。

周辺機器ポート27に周辺機器が接続されていない場合(T200~T201)においては、電源Vccにプルアップされた信号線R、L、D、およびUはすべて「1」となっている。サブCPU2は信号線R、L、D、およびUの状態から周辺機器ID-1の前半を示す4ビット(第1)を読み出し、続いて周辺機器の後半を示す4ビット(第2)を読み出す(T201)。サブCPU2は、これらの読み出されたビットに基づいて周辺機器ID-1を算出する。このときには、周辺機器ポートには周辺機器が接続されていないため、サブCPU2は、周辺機器ID-1は「未接続」とであると判断する。したがって、「未接続」を表す周辺機器ID-1がメインCPU1bに転送される。

この後、ユーザが標準PAD等の周辺機器をデータ処理装置ソケットコネクタに挿入しはじめる(T202)。周辺機器のソケットコネクタに深く挿入されるに従い、接続される信号線数が徐々に増える。前回のアクセス時刻T201から16.6msec経過後の時刻T203に、サブCPU2は周辺機器ID-1を読み出し、この時点においては、信号線の接続状態は極めて不安定であるため、信号線の一部のみが接続されている。従って、このときの周辺機器ID-1の値は、前回(T201)の周辺機器ID-1の値とは異なったものとなる。よって、サブCPU2は、接続状態が不安定であると判断し、メインCPU1bに「未接続」を表すデータを返送する。また、信号線の一部のみが接続された状態においては、周辺機器ID-1の値は誤った周辺機器ID-1となる。

信号線の全てが接続された後(T204～)は、信号線の状態が安定するため、時刻T205における周辺機器ID-1は正しい値となる。ところが、このときの周辺機器ID-1の値は、前回(T203)の周辺機器ID-1の値とは異なったものとなる。したがって、サブCPU2は、信号線の接続状態が未だ不安定であると判断してメインCPU1bに「未接続」を表すデータを返送する。

16.6msec経過後の時刻T206では、周辺機器ID-1は、前回(T205)の周辺機器ID-1と同様の値となる。従って、サブCPU2は、全ての信号線が接続されたと判断して、周辺機器データ等をメインCPU1bに返送する。

以上、ホットプラグイン時の処理について説明したが、ホットプラグアウト時にも同様の処理が行われている。具体的にいうと、ユーザが周辺機器をコネクタから抜きはじめると、時刻T207における周辺機器ID-1は、時刻T209における周辺機器ID-1と相違する。したがって、サブCPU2は、接続状態が不安定であると判断する。時刻T209においては、信号線の一部が未だ接続されているため、周辺機器ID-1の値は誤ったものとなりやすい。信号線の全てが未接続の状態になると(T210)、ブルアップされた信号線はすべて「1」となる。よって、この場合には、信号線は未接続の状態であるとサブCPU2は判断する(T211)。

図32は、ホットプラグインおよびホットプラグアウトにおける接続状態がそれぞれ安定している時間を示す。図32のグラフにおいて、横軸は、ホットプラグインおよびホットプラグアウト発生から信号線の接続状態が安定(全ての信号線が接続または未接続)するまでの時間を表している。縦軸は、接続状態が不安定(一部の信号線が未接続)となった観測回数を表している。ホットプラグインおよびホットプラグアウト発生後、時間とともに接続状態が安定することがグラフから確認できる。特に、1フィールド分の時間が経過した後は、接続状態が不安定となる観測回数は激減している。例えば、ホットプラグインにおいては、約85%の確率で接続状態が安定し、ホットプラグアウトにおいては、100%近い確率で接続状態が安定する。従って、上述した処理において、16.6msec毎に読み取られた周辺機器ID-1が2回連続して同じ値となった場合には、接続状態は安定したとみなすことができる。よって、上記判断処理によれば、ホットプラグインおよびホットプラグアウト時の周辺機器ID-1等の誤認識は85%を超える確率で防止される。

〈プルアップされた信号線を利用した接続状態の判断〉

すべての信号線TH、TR、TL、R、L、D、およびUは、それに応じた抵抗により電源Vccにプルアップされている。したがって、本来は「0」を出力すべき信号線が「1」を出力した場合には、この信号線に周辺機器が接続されていないと判断することができる。例えば、3線ハンドシェイク通信方式(図15)およびクロック同期式パラレル通信方式(図16)においては、周辺機器データの後に接続確認用データとして、R=0、L=0、D=0、およびU=0が周辺機器から出力される。従って、これらの信号線のうちのいずれかが「1」である場合には、サブCPU2は、信号線の一部が未接続であると判断する。また、クロック同期式シリアル通信方式においては、信号線TL、R、およびLが周辺機器側でGNDに接続されている。従って、信号線TL、R、およびLが「1」である場合には、信号線が未接続であると判断することができる。なお、信号線R、L、D、およびUは、GNDにプルダウンされてもよい。この場合には、接続確認用データとしてR=1、L=1、D=1、およびU=1を出力する必要がある。

〈制御用の信号線 T R、T L による判断〉

3 線ハンドシェイク通信方式(図 1 5)において、サブ C P U 2 が周辺機器にデータ出力を要求すると(信号線 T R が反転されると)、周辺機器はデータを出力したことを表す信号(応答信号)を信号線 T L に返す(信号線 T L が反転される)。仮に、信号線 T R、T L のうちの少なくとも 1 つが未接続である場合には、周辺機器から信号線 T L に信号は出力されない。サブ C P U 2 が信号線 T R に信号を出力してから所定時間経過後において、信号線 T L が周辺機器によって反転されなかった場合には、サブ C P U 2 は信号線 T R、T L のいずれかが未接続であると判断することができる。これにより、サブ C P U 2 は、周辺機器がソケットコネクタに安定して接続されていないと判断することができ、よって周辺機器の誤認識の問題を回避できる。

上述した、周辺機器 I D - 1 を利用した周辺機器接続状態の判断、プルアップされた信号線による接続状態の判断、そして制御用の信号線 T R、T L による判断を組み合わせる行うことにより、接続状態はより正確に判断される。

本発明は、上述した実施例に限定されることなく、本発明の精神および範囲から逸脱することなしに実施可能である。

以上説明してきたように、本実施例によれば、以下の効果が得られる。

第 1 に、画像制御を含むデータ処理が高速に行われる。副演算手段に周辺機器データの収集を行わせることにより、主演算手段は、データ転送速度の遅い周辺機器にアクセスする必要がある。すなわち、接続切換手段は、主演算手段からの切換信号に応じて、周辺機器を主演算手段または副演算手段に接続するため、データ処理装置は、周辺機器の種類、主演算手段のプログラムの内容等の画像処理環境の特性および内容に応じて画像処理特性と周辺機器へのデータ入出力特性の両立を最適に保つことができる。周辺機器の動作速度特性に応じて切換手段が切り換えられると、前記接続切換手段が、動作速度特性が低速型の周辺機器を副演算手段に接続することにより、主演算手段の負荷を軽減する。周辺機器の動作速度特性が高速型の場合は、通常処理能力が高い主演算手段が周辺機器に対するデータの入出力を担当させられ、これによって確実にその目的を達成することがで

きる。このため、主演算手段は、より多くの作業を実行することができ、画像処理を高速に行うことが可能となる。特に、画像をリアルタイムで制御する必要のあるTVゲームにおいては、キャラクタ等が高速で動かされる。

データ処理装置は、主演算手段が実行するプログラムに応じて前記接続切換手段が制御される。例えば、主演算手段が画像処理プログラムを実行する際に高速な周辺装置が必要なときには、接続切換手段は、主演算手段を周辺機器に接続するように制御され、一方、そうではない場合には、この接続切換手段は、周辺機器を副演算手段側に接続する。このように、画像処理の内容、種類等に合わせて適切な周辺機器が確実に選択される。

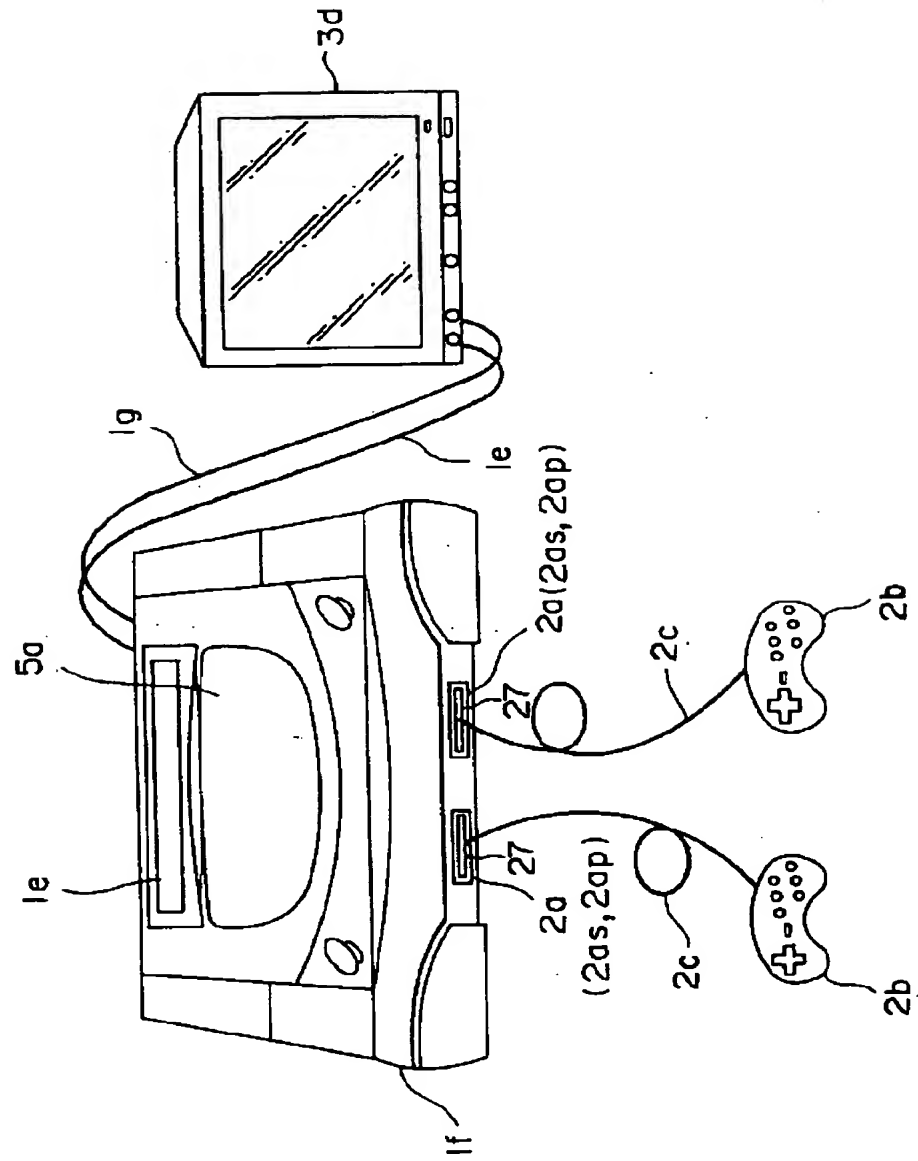
第2に、周辺機器の操作内容が、画像制御を含むデータ処理に直接反映される。周辺機器データの収集タイミングが画像制御開始タイミングにできるだけ近づけさせられている。従って、例えば飛行機による襲撃を含むTVゲームにおいて、ユーザが周辺機器を操作してから、ミサイルが発射されるまでの時間差を最小限に抑えることができ、これにより、ユーザは自然な感覚でTVゲームを楽しむことができる。

第3に、周辺機器がデータ処理装置に安定して接続されているか否かを判断できるため、周辺機器の誤認識等の問題を回避することができる。例えば、連続して読まれた周辺機器データが相違する場合には、周辺機器の接続状態が不安定であると判断し得る。さらに、データ処理装置によって受信されたデータが、周辺機器から出力されるべき適正なデータと一致したか否かによっても、周辺機器の接続状態を判断することが可能である。例えば、ホットプラグイン等により信号線がデータ処理装置のコネクタ端子に接続されていないと判断された場合には、画像制御手段によって受信されたデータ(周辺機器の種類を示す識別データ、周辺機器の状態を表す周辺機器データ等)が誤っている蓋然性が高い。従って、画像制御手段は、受信したデータが誤ったものであると認識し、これにより、誤ったデータを使用することによる、周辺機器の誤認識および誤動作を未然に回避することができる。

以上により、TVゲーム機等において、最適なゲーム環境が提供される。

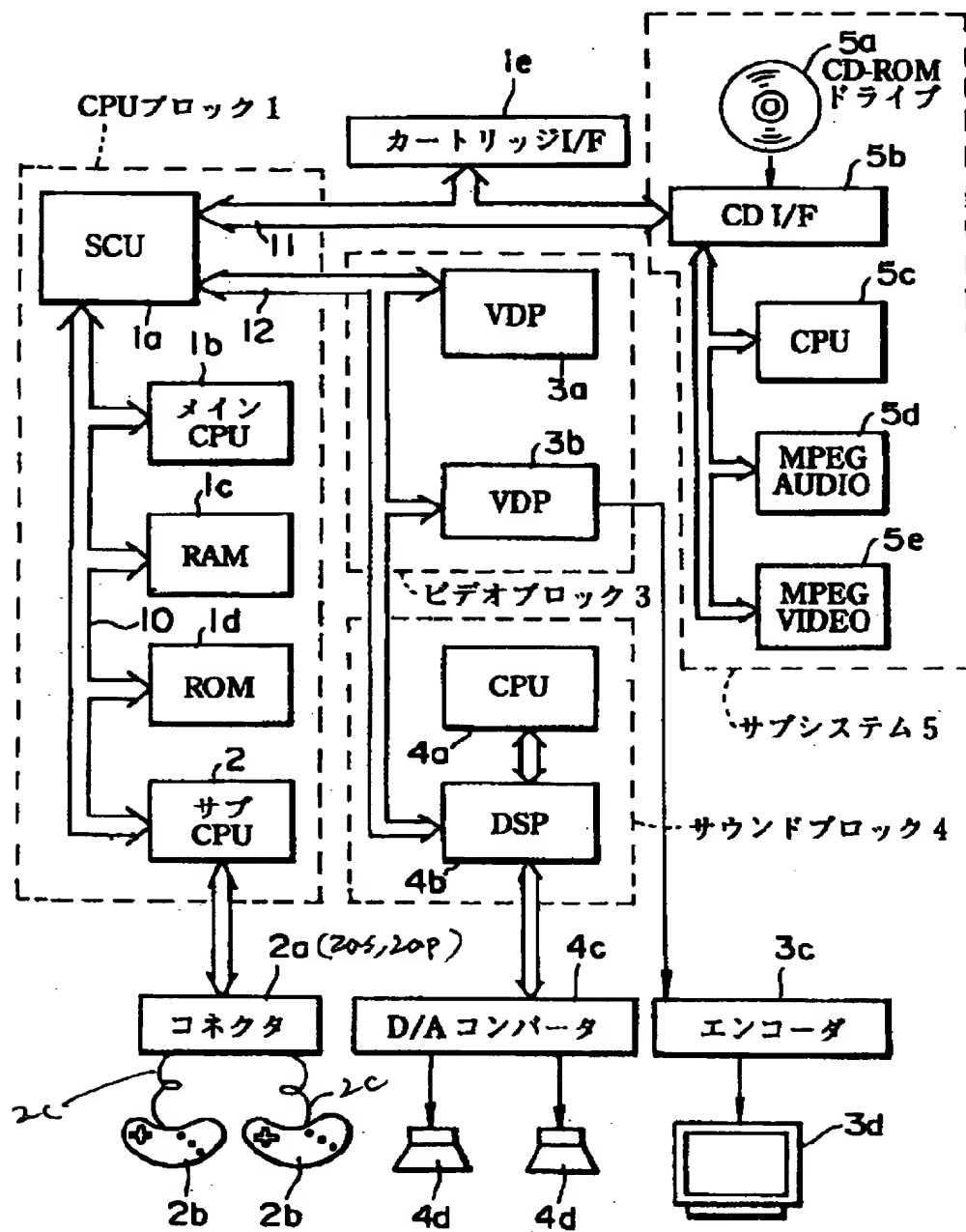
【図1】

FIG.1



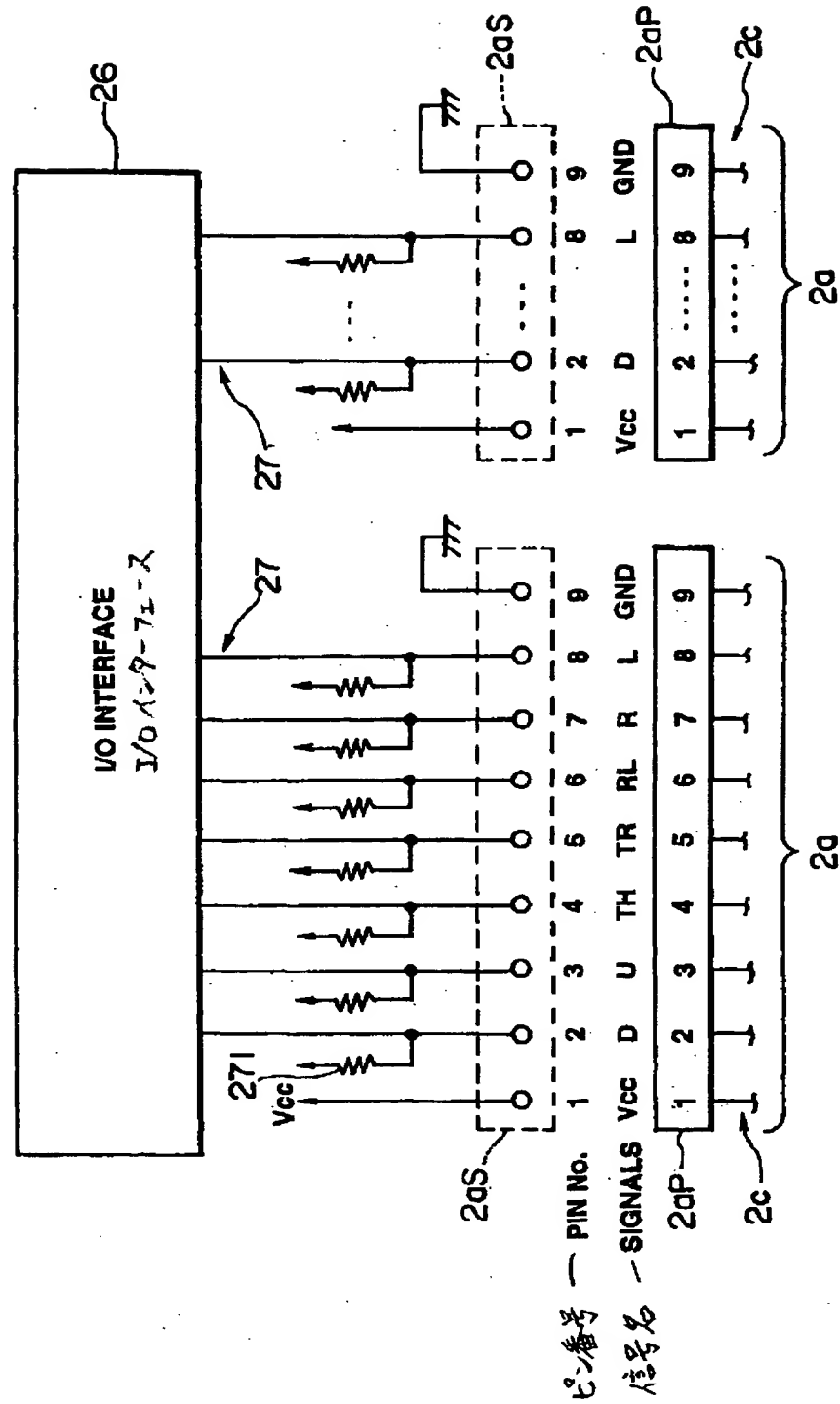
【図2】

FIG.2



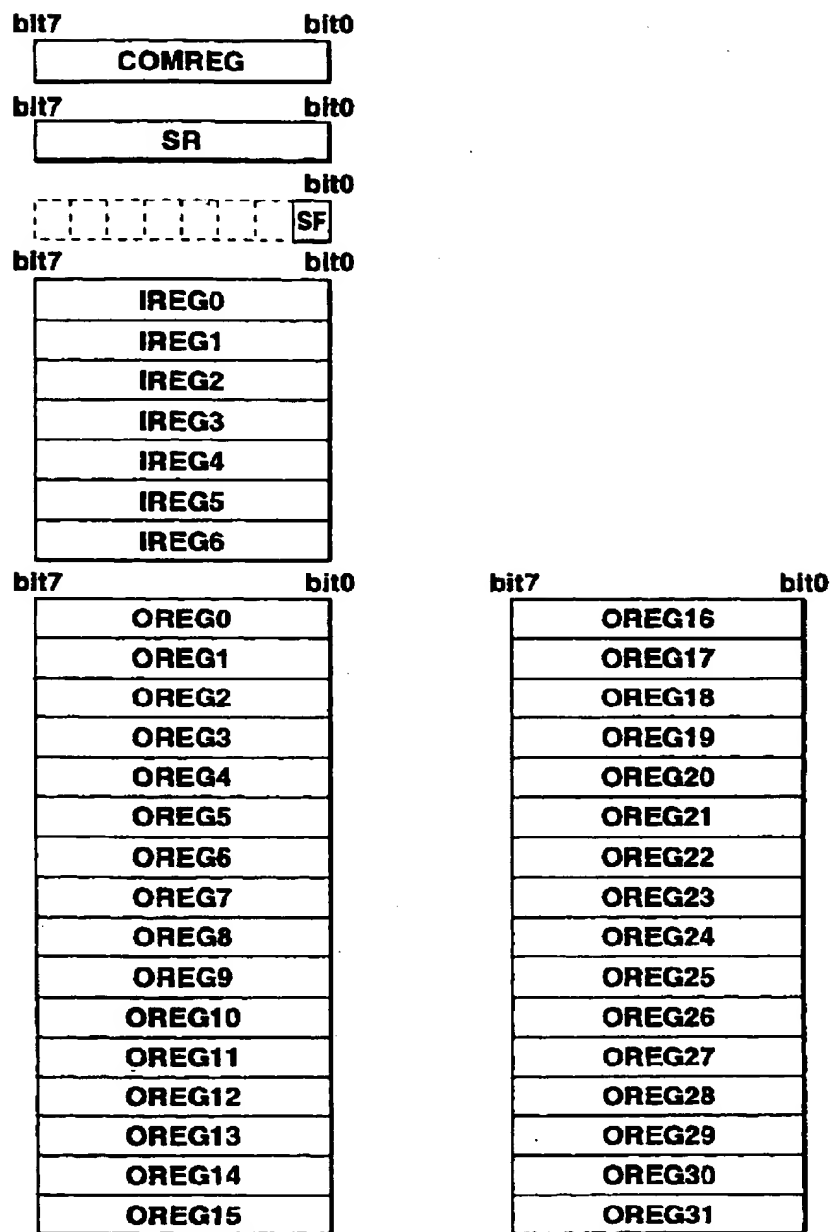
【図4】

FIG.4



【図 5】

FIG.5



【図6】

FIG.6

SIGNAL NAME	PIN NO.	REMARKS
TH	4	CONTROL SIGNAL FROM GAME APPARATUS
TR	5	CONTROL SIGNAL FROM GAME APPARATUS
TL	6	CONTROL SIGNAL TO GAME APPARATUS (ack)
R	7	DATA SIGNAL (THIRD BIT)
L	8	DATA SIGNAL (SECOND BIT)
D	2	DATA SIGNAL (FIRST BIT)
U	3	DATA SIGNAL (0-th BIT)
Vcc	1	POWER SOURCE (+5V)
GND	9	GND

信号名 ピン番号 備考
 ゲーム装置からの制御信号
 ゲーム装置からの制御信号
 ゲーム装置への制御信号 (ack)
 データ信号 (第3ビット)
 データ信号 (第2ビット)
 データ信号 (第1ビット)
 データ信号 (第0ビット)
 電源 (+5V)

【図7】

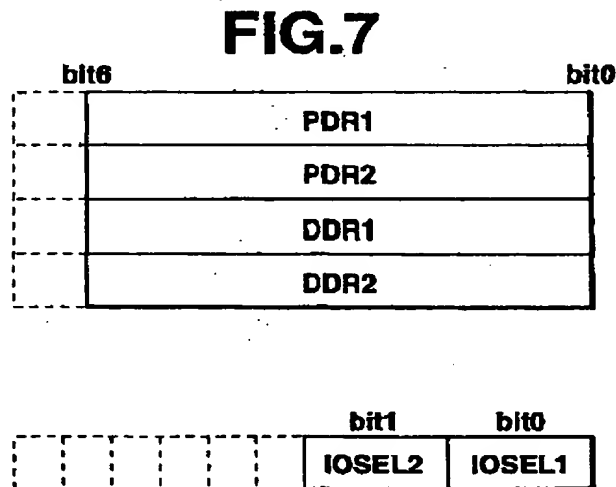
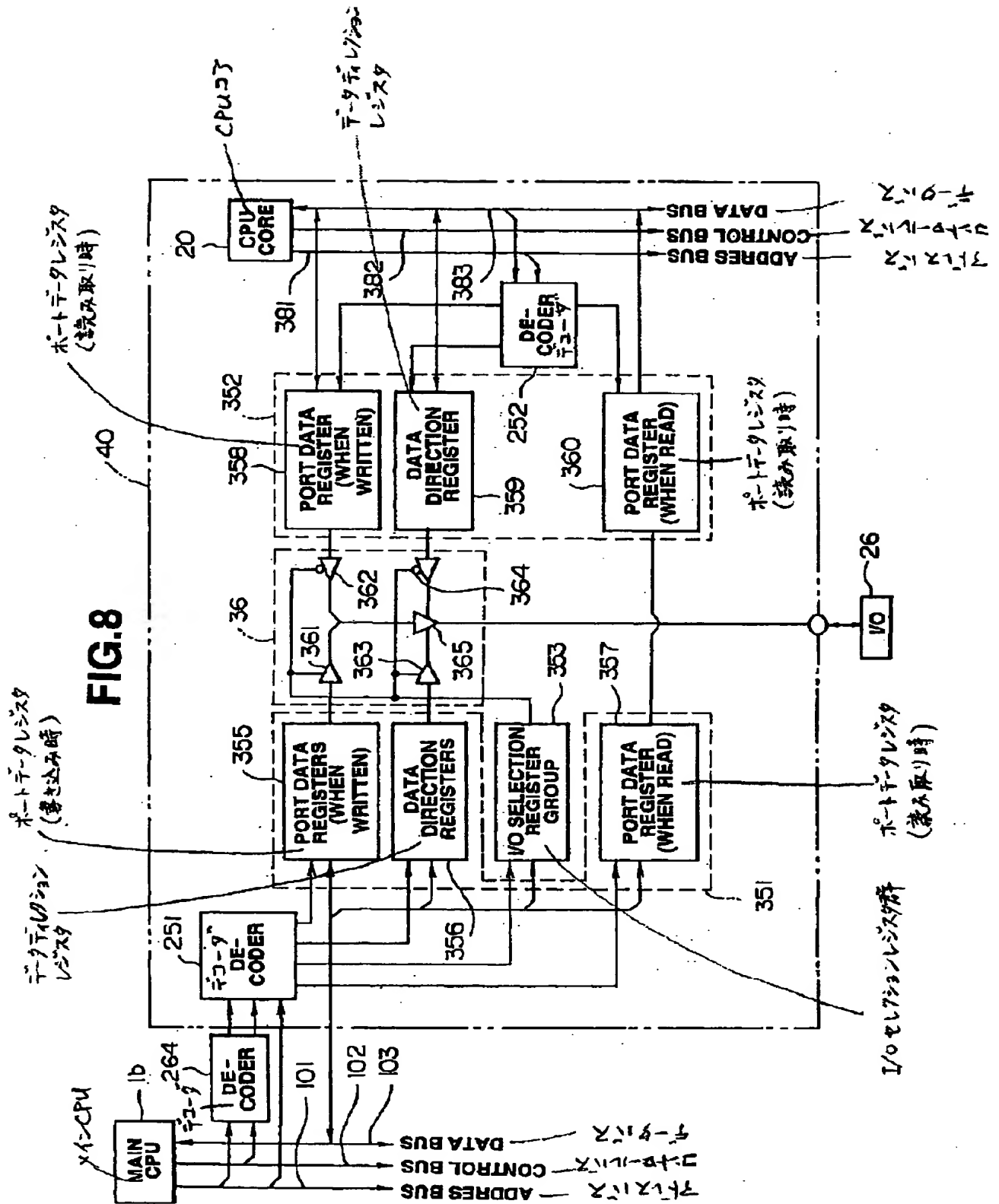


FIG. 8



【図 9】

FIG.9

I/O セレクション レジスタ	I/O アドレス 値	データ ディレクション レジスタ	I/O 方向	ポートデータ 設定値	CMOS状態	I/O端子状態 入力状態	ポートデータ レジスタ 読み出し値
0	サブ CPU	0	入力	0	サブCPU により 決定される	0	0
0		0		0		1	1
0		0		1		0	0
0		0		1		1	1
0		1		0		0	0
0		1		0		1	1
0		1		1		0	0
0		1		1		1	1
1	メイン CPU	0	入力	0	ハイインピダンス	0	0
1		0		0	ハイインピダンス	1	1
1		0		1	プルアップMOSON	0	0
1		0		1	プルアップMOSON	1	1
1		1	出力	0	NMOSON	-	0
1		1		0	NMOSON	-	0
1		1		1	プルアップMOS&PMOSON	-	1
1		1		1	プルアップMOS&PMOSON	-	1

【図10】

FIG.10

PERIPHERAL	ID-1	PERIPHERAL	ID-1
	F	4P ADAPTOR	7
	E		6
(3TRG/6TGR/PAD)	D	CONTROLLER (PERIPHERAL ID-2)	5
	C		4
CONTROL PAD	B	MOUSE	3
	A		2
	9		1
	8		0

4Pアダプタ

コントローラ
(周辺機器 ID-2)

マウス

制御 PAD

【図11】

FIG.11

PERIPHERAL	ID-2	PERIPHERAL	ID-2
NON-CONNECTION	F		7
	E		6
	D		5
	C		4
	B	KEYBOARD キーボード	3
	A	POINTING DEVICE	2
	9	ANALOG DEVICE	1
	8	DIGITAL DEVICE	0

未接続

ポインティングデバイス

アナログデバイス

デジタルデバイス

【図 12】

FIG.12

通信方式	TH=1, TR=1				TH=0, TR=1			
	R	L	D	U	R	L	D	U
TH/TR セレクト	TRG-L	1	0	0	RIGHT 右	LEFT 左	DOWN 下	UP 上
3線ハンドシェイク	0	0	0	1	0	0	0	1
クロック同期式シリアル	0	0	1	0	0	0	1	0
クロック同期式パラレル	0	0	1	1	0	0	1	1

【図13】

**TERMINAL PINS OF PLUG CONNECTOR
FOR TH/TR-SELECTION AND THREE-WIRE
HANDSHAKE COMMUNICATION MODES**

FIG.13A

1		Vcc
2		D
3		U
4		TH
5		TR
6		TL
7		R
8		L
9		GND

TH/TLセレクト通信方式
および3線ハングシェイク
通信方式におけるプラグ
コネクタの端子ピン

**TERMINAL PINS OF PLUG CONNECTOR
FOR CLOCKED PARALLEL COMMUNICATION MODES**

FIG.13B

1		Vcc
2		D
3		U
4		TH
5		TR
6		TL
7		R
8		L
9		GND

クロック同期式パラレル
通信方式における
プラグコネクタの端子ピン

**TERMINAL PINS OF PLUG CONNECTOR
FOR CLOCKED SERIAL COMMUNICATION MODES**

FIG.13C

1		Vcc
2		D
3		U
4		TH
5		TR
6		TL
7		R
8		L
9		GND

クロック同期式シリアル
通信方式における
プラグコネクタの端子ピン

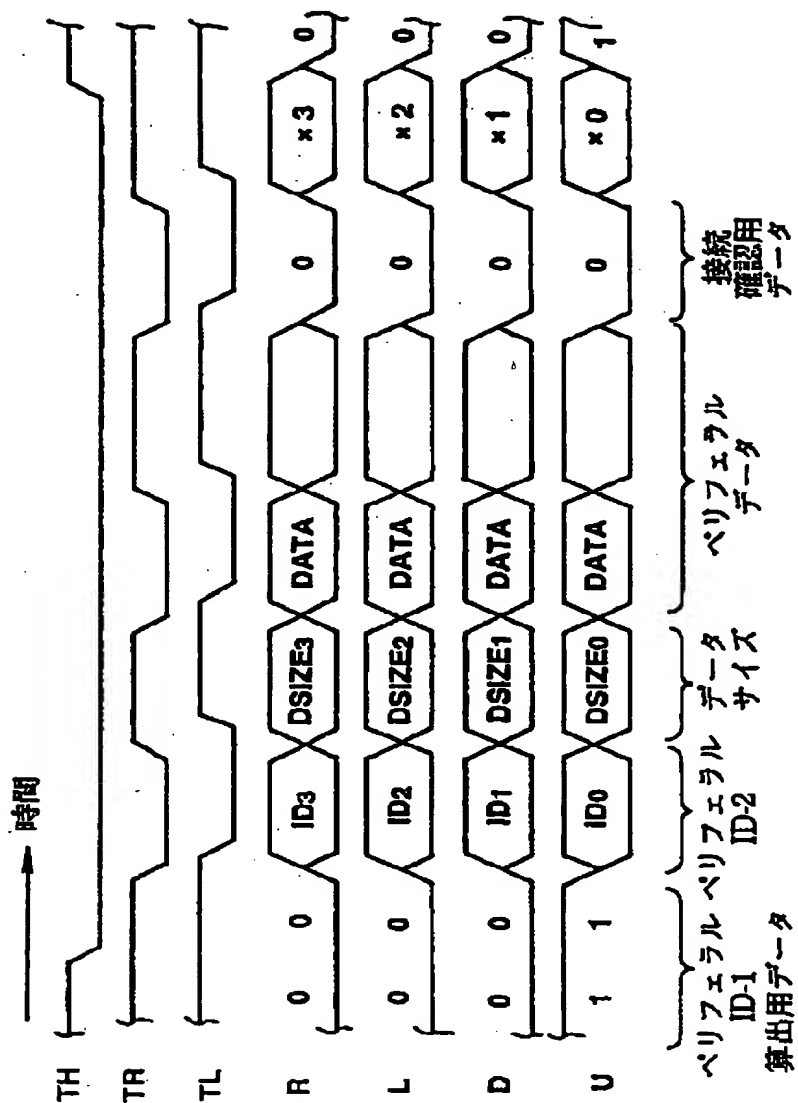
【図 14】

FIG.14

DATA	TH	TR	TL	R	L	D	U
	Bbit6 出力	bit5 出力	bit4 入力	bit3 入力	bit2 入力	bit1 入力	bit0 入力
1st	1	1	1	TRG-L	1	0	0
2nd	0	1	1	右 RIGHT	左 LEFT	下 DOWN	上 UP
3rd	1	0	1	START	TRG-A	TRG-C	TRG-B
4th	0	0	1	TRG-R	TRG-X	TRG-Y	TRG-Z

【図15】

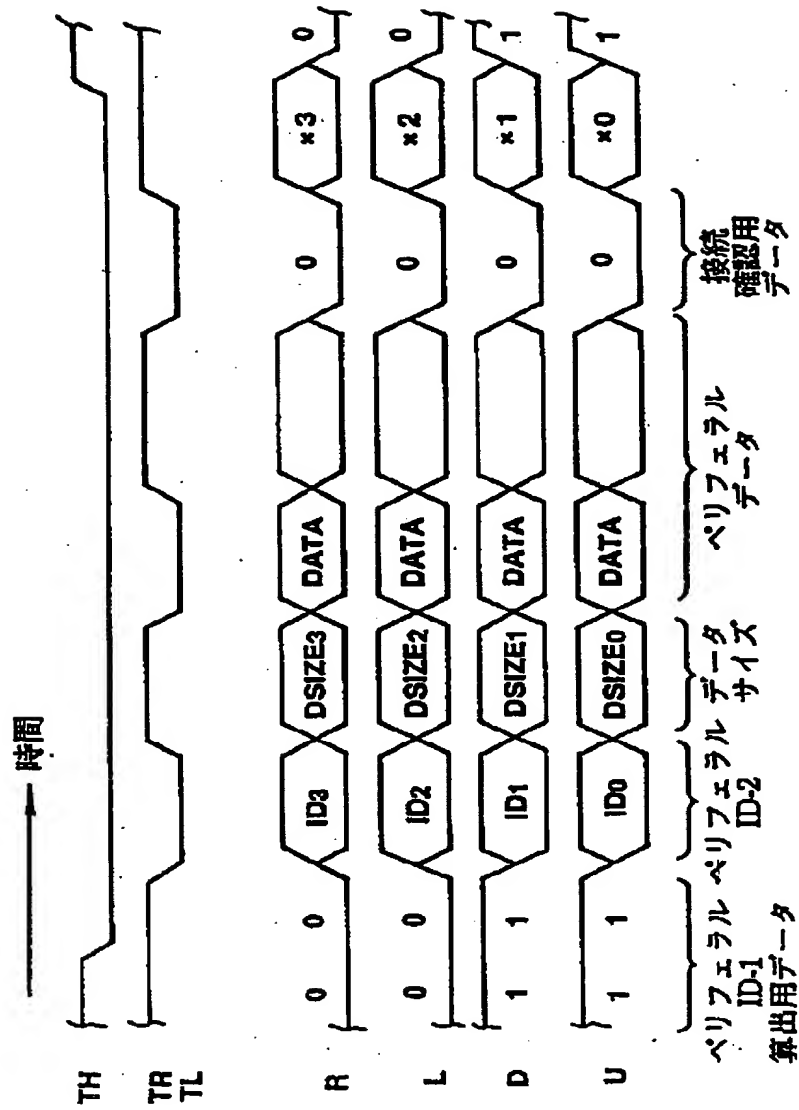
FIG.15



メモリエッジ:周辺機器

【図 16】

FIG.16



ペリフェラル周辺機器

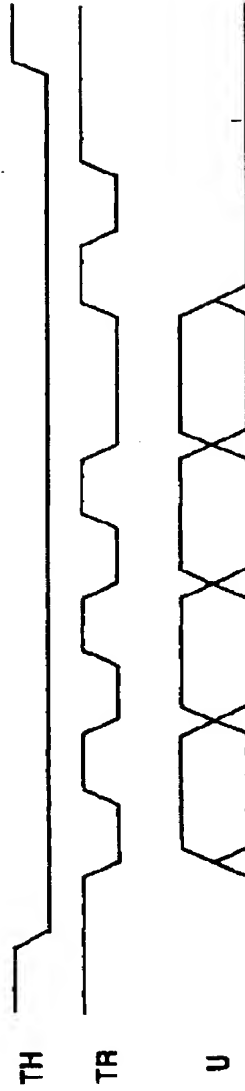
【図17】

FIG.17A

TH (入力)	TR (入力)	TL (GND)	R (GND)	L (GND)	D (Vcc)	U (DATA)	備考
1	1	0	0	0	1	0	ID-1(1st)
0	1	0	0	0	1	0	ID-1(2nd)
0	↑ ↑	0	0	0	1	SMD3	
0	↑ ↑	0	0	0	1	SMD2	
0	↑ ↑	0	0	0	1	SMD1	
0	↑ ↑	0	0	0	1	SMD0	
0	↑ ↑	0	0	0	1	ID-23	
0	↑ ↑	0	0	0	1	ID-22	
0	↑ ↑	0	0	0	1	ID-21	
0	↑ ↑	0	0	0	1	ID-20	
0	↑ ↑	0	0	0	1	DSIZE3	
0	↑ ↑	0	0	0	1	DSIZE2	
0	↑ ↑	0	0	0	1	DSIZE1	
0	↑ ↑	0	0	0	1	DSIZE0	
0	↑ ↑	0	0	0	1	DATA7	
:	:	:	:	:	:	:	
:	:	:	:	:	:	:	
0	↑ ↑	0	0	0	1	DATA0	
0	↑ ↑	0	0	0	1	CCB	
0	↑ ↑	0	0	0	1	1	
0	↑ ↑	0	0	0	1	1	
0	↑ ↑	0	0	0	1	0	
1	1	0	0	0	1	0	終了

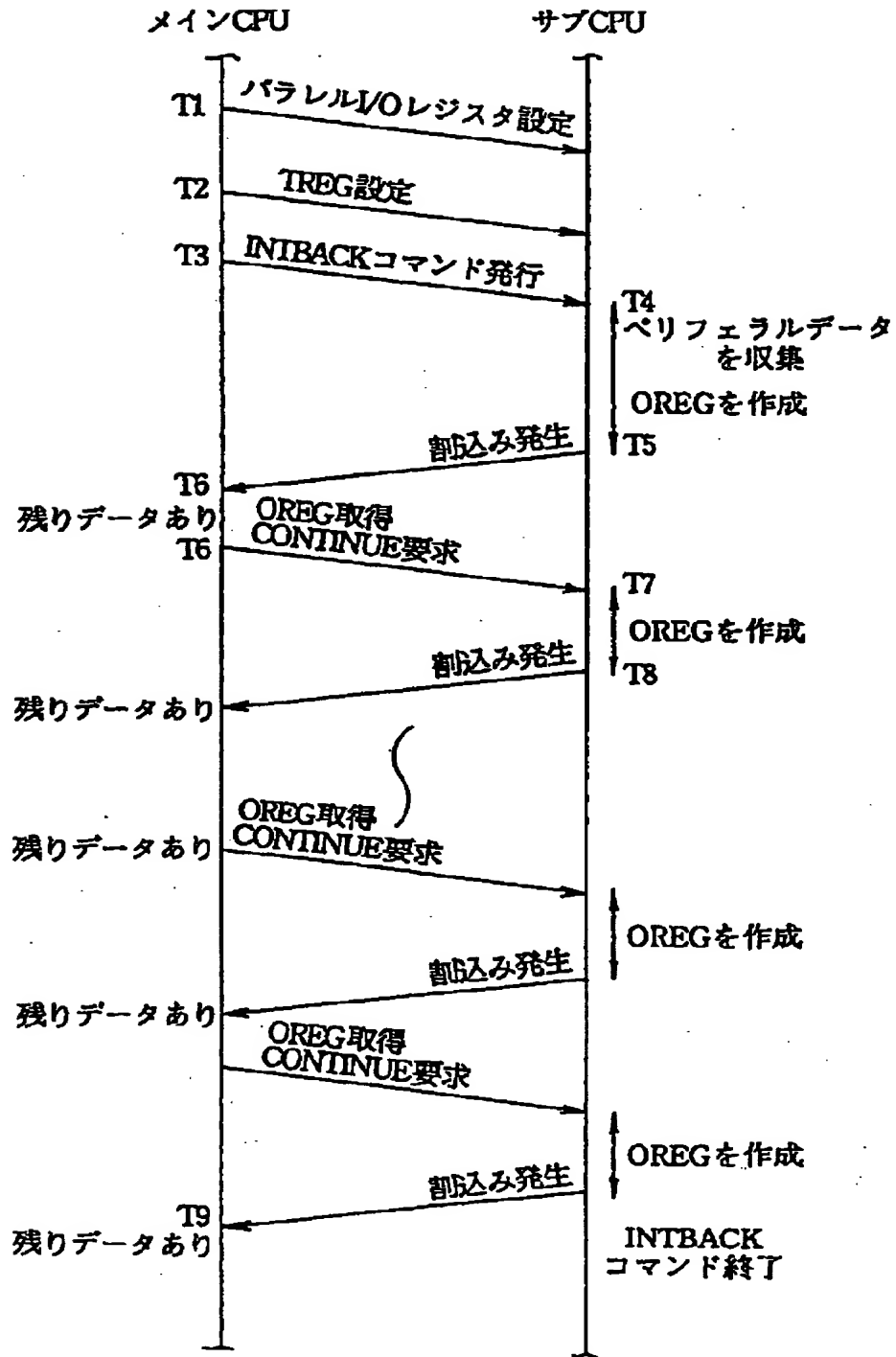
【図17】

FIG.17B



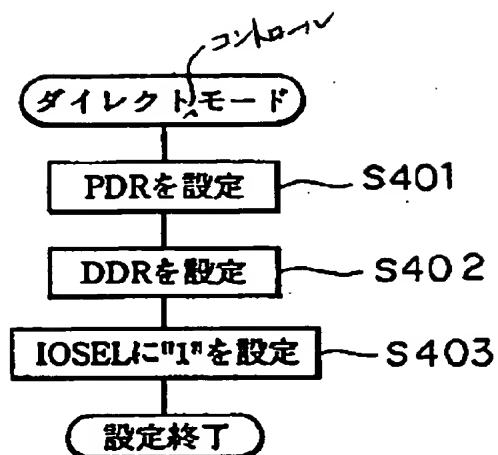
【図18】

FIG.18



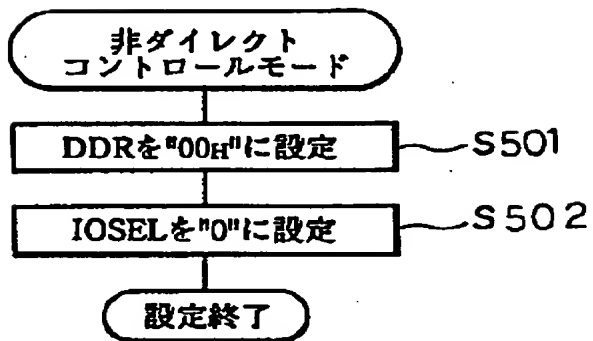
【図19】

FIG.19



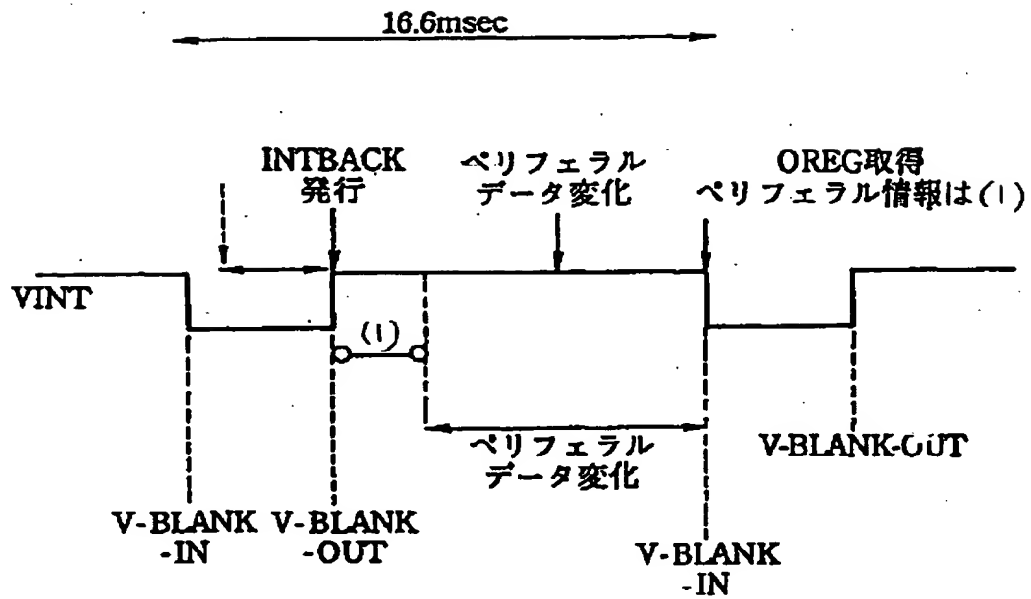
【図25】

FIG.25



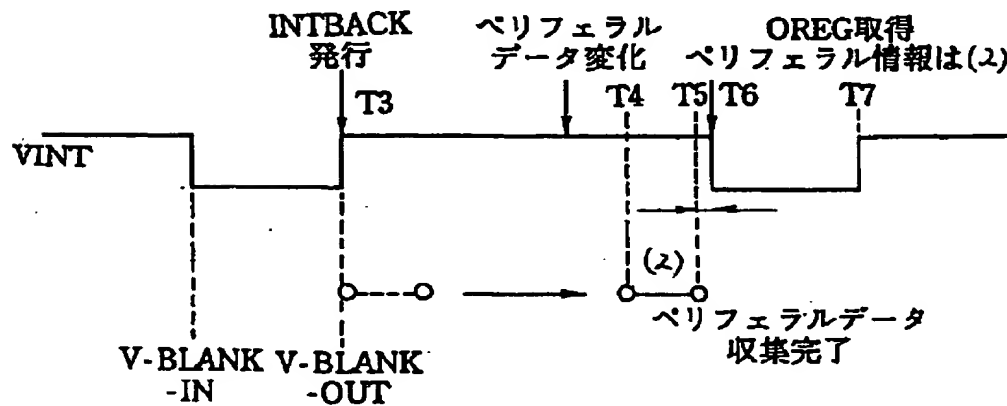
【図 20】

FIG.20



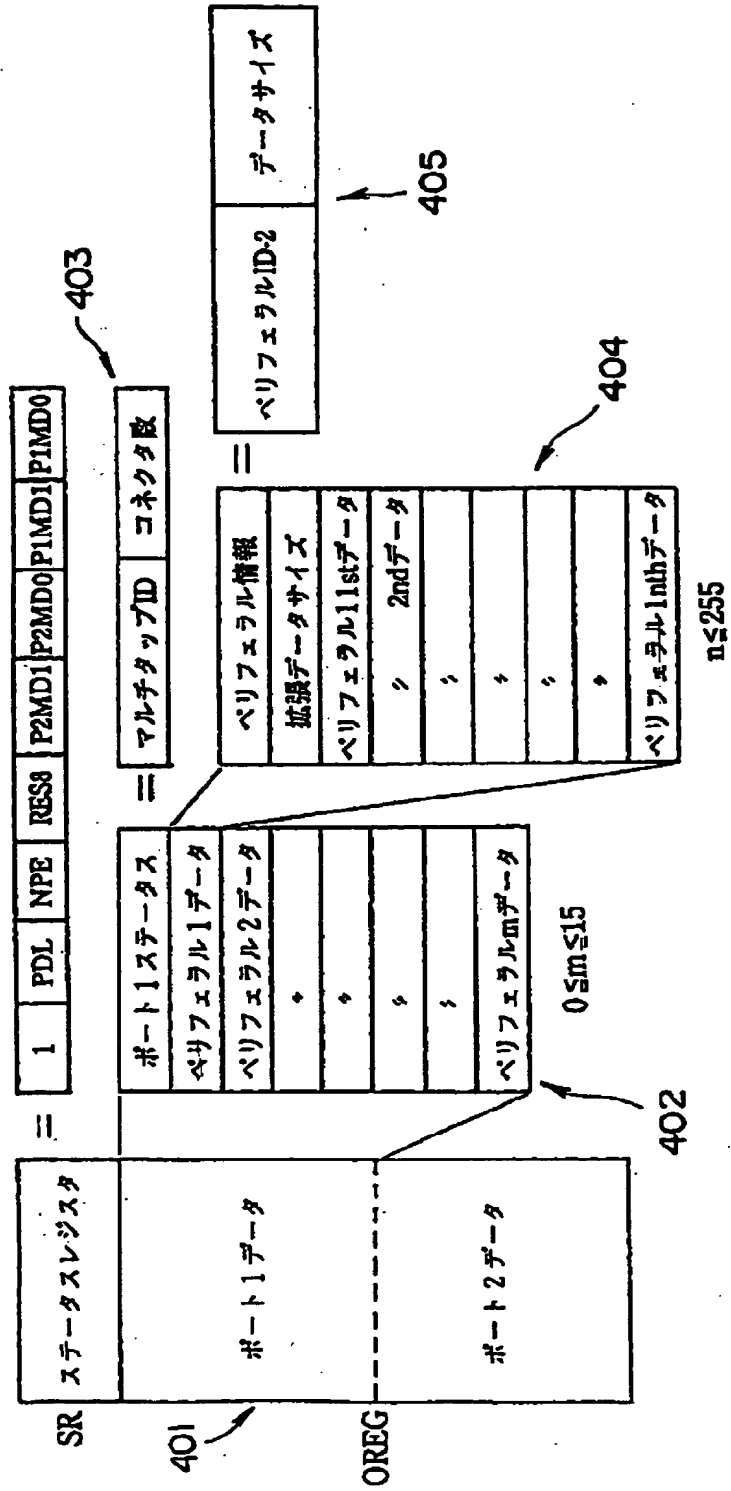
【図 21】

FIG.21



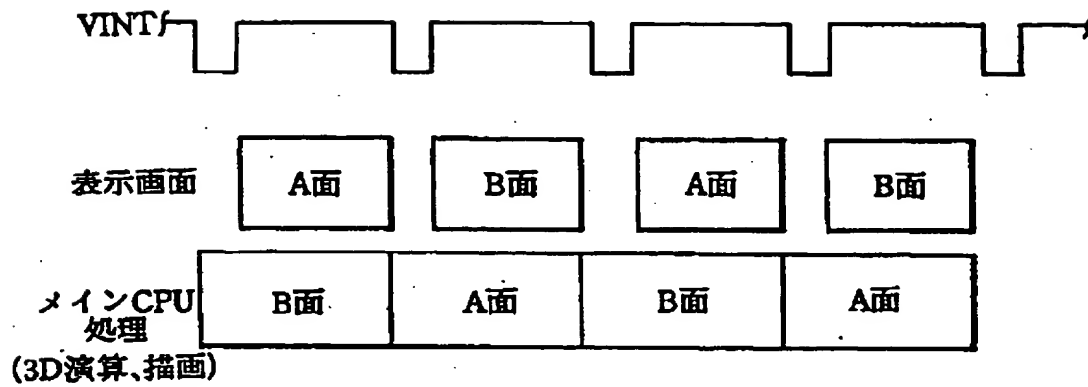
【図22】

FIG.22



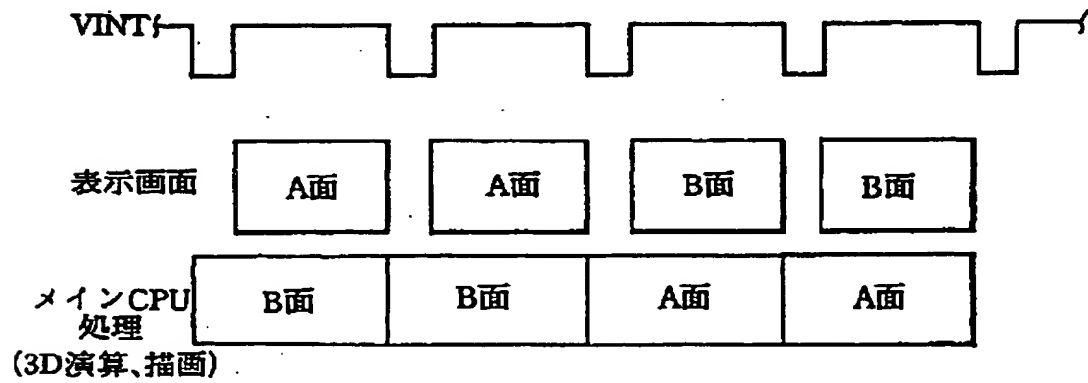
【図23】

FIG.23



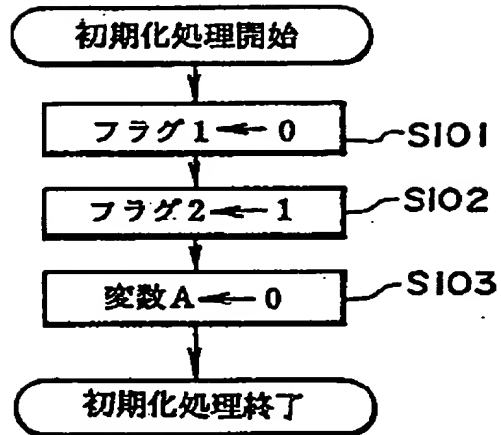
【図24】

FIG.24



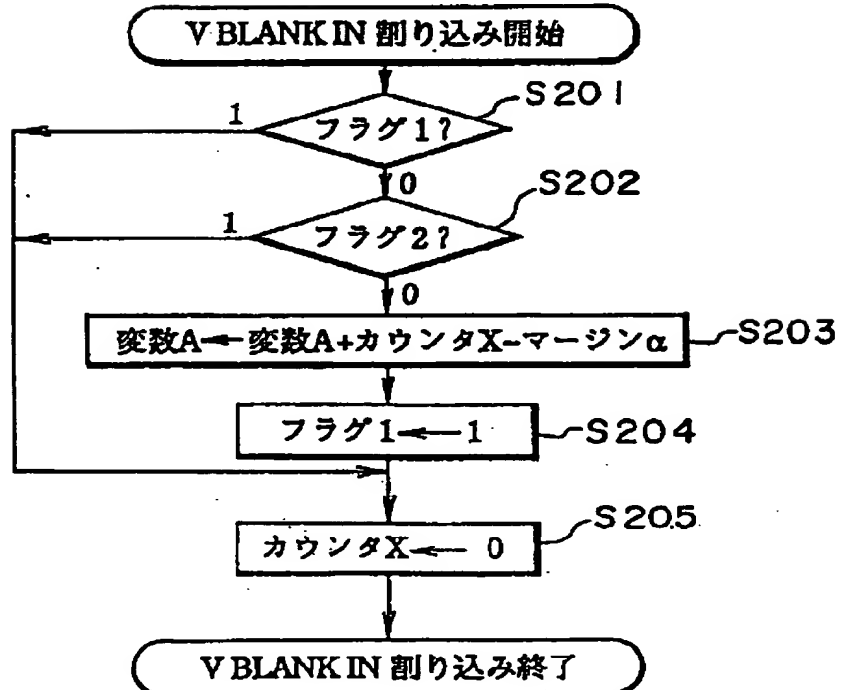
【図26】

FIG.26



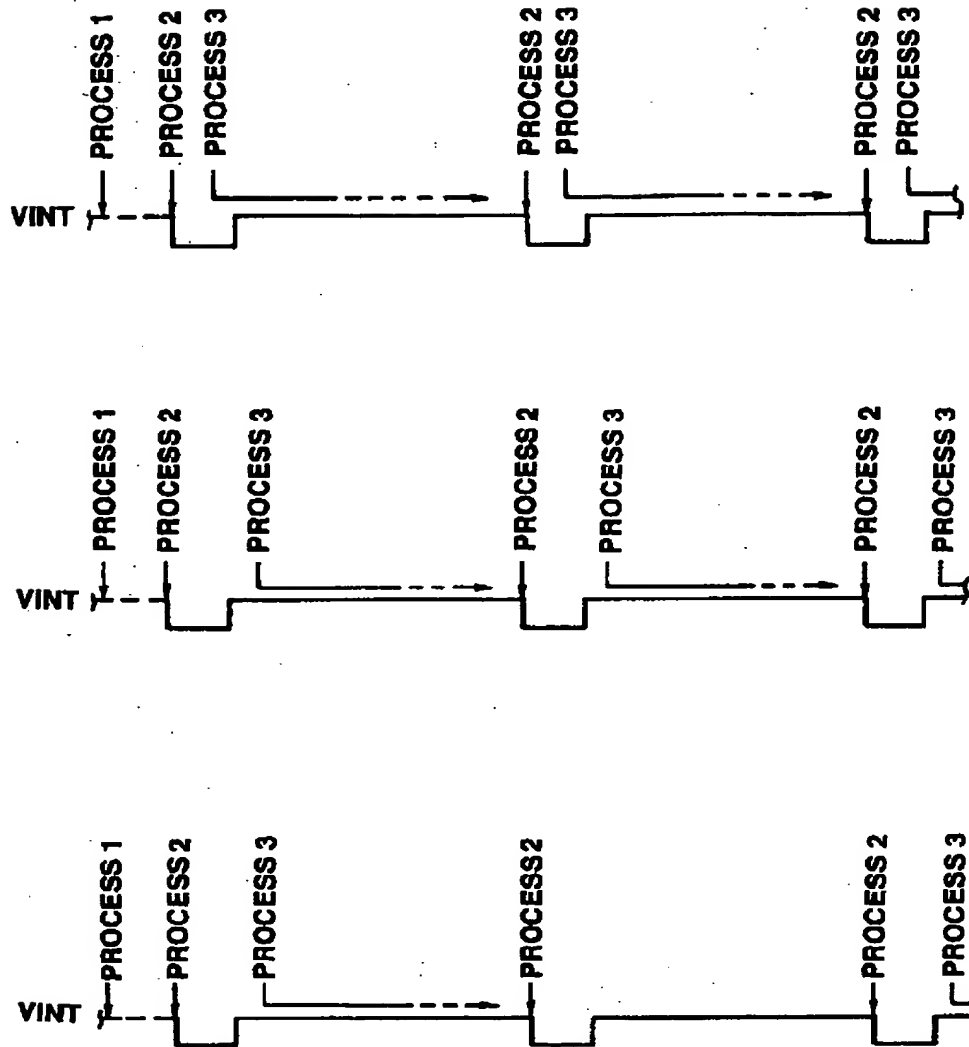
【図28】

FIG.28



【図 27】

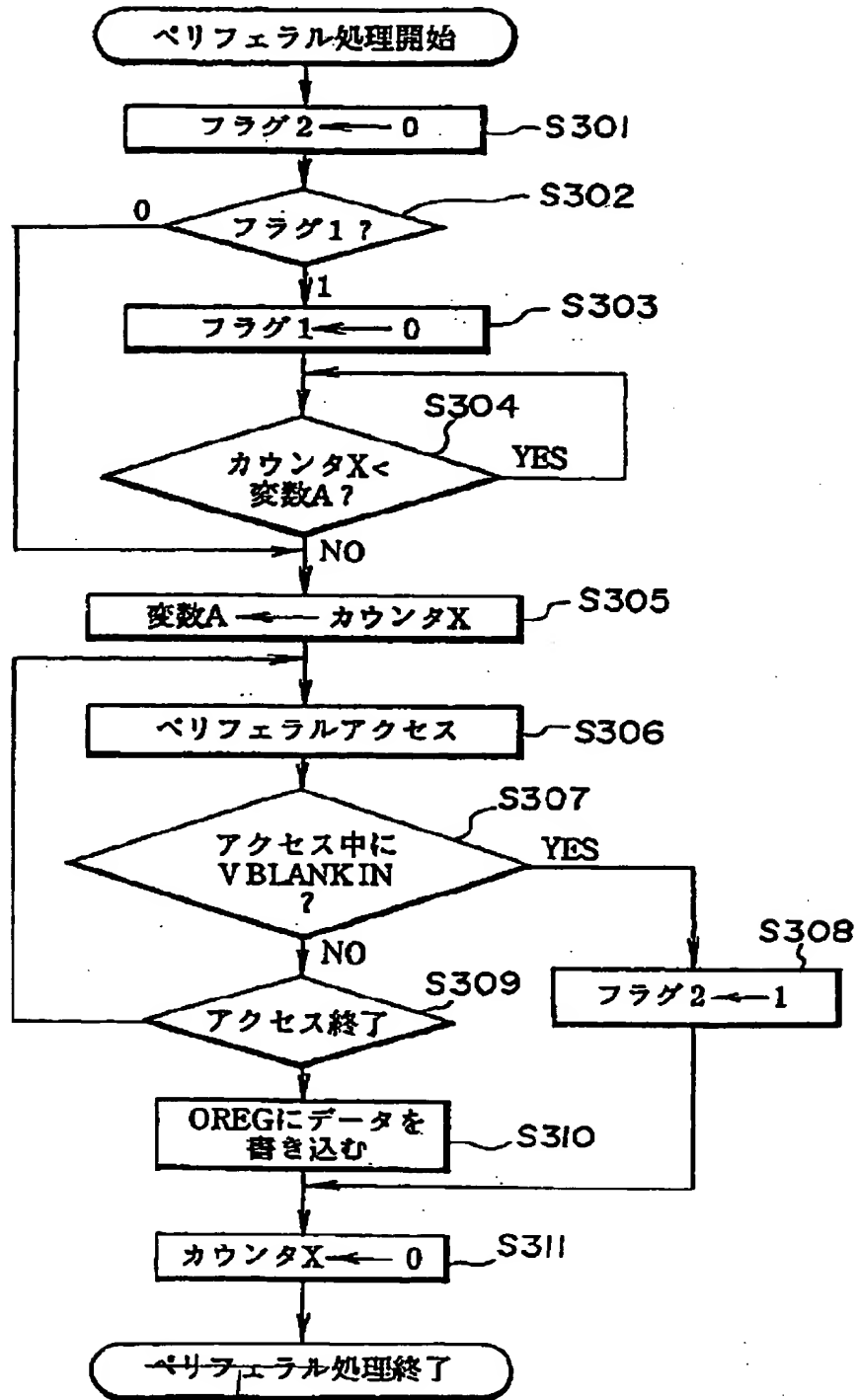
FIG.27



PROCESS: 70.67

【図29】

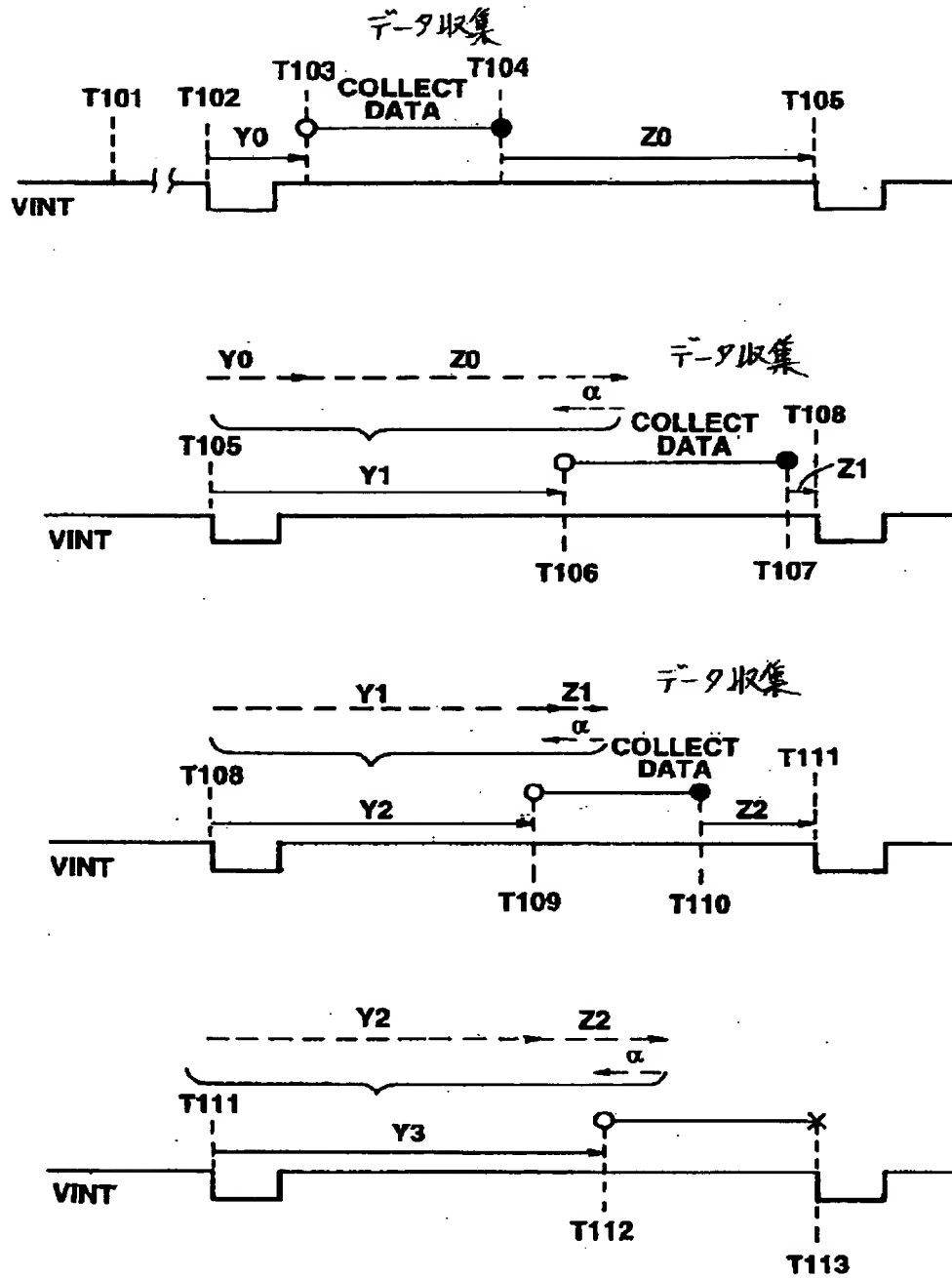
FIG.29



周辺機器

【図 30】

FIG.30



【図 3 2】

FIG.32A

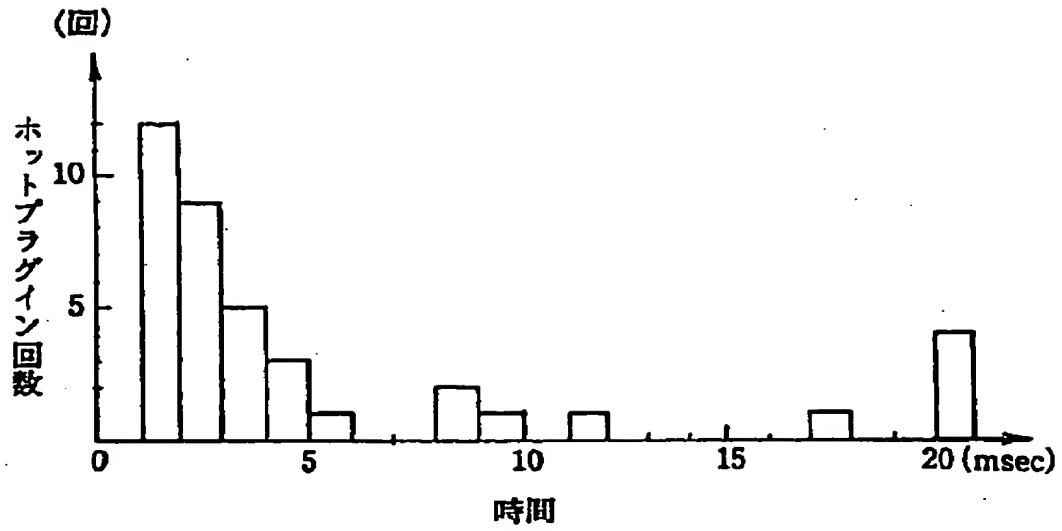
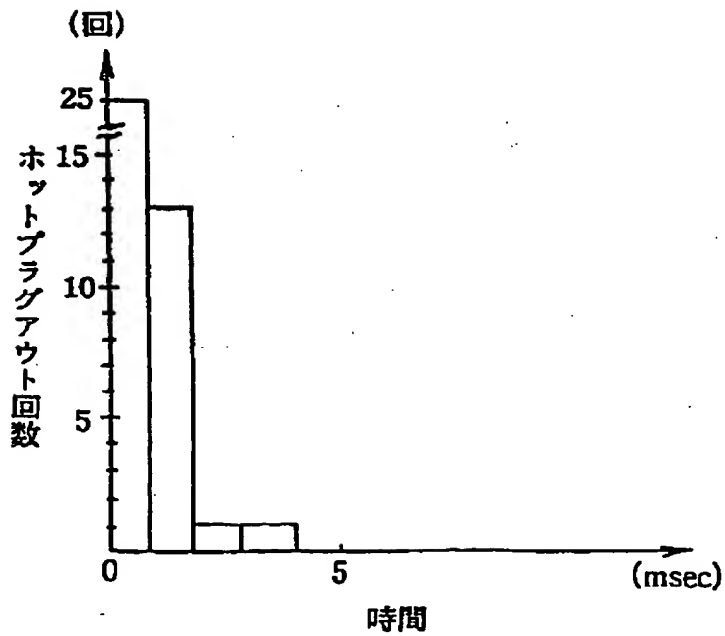


FIG.32B



【手続補正書】特許法第 1 8 4 条の 4 第 4 項

【提出日】 1 9 9 6 年 4 月 5 日

【補正内容】

特許請求の範囲

1. (補正) 主データ処理機と、

バス手段を介して該主データ処理機に機能的に接続されている副データ処理機と、

周辺機器が取り外し可能に接続できる周辺機器ポートと、

該周辺機器ポートに接続されている I / O インターフェース手段と、

該 I / O インターフェース手段を介して周辺機器へのアクセスを、該主データ処理機からと、該副データ処理機からのいずれかに切り換えるための切換手段と、

を備える、データ処理装置。

2. (補正) 前記副データ処理機は、前記周辺機器から供給された識別データに基づいて周辺機器の種類を識別し、かつ識別された種類の周辺機器を示すデータを前記主データ処理機に出力する請求項 1 記載のデータ処理装置。

3. (キャンセル)

4. (補正) 前記切換手段は、前記主データ処理機からの制御信号に従って、切換機能を作動する請求項 1 または 2 記載のデータ処理装置。

5. (補正) 前記切換手段は、前記周辺機器の種類に応じて切換機能を作動する請求項 1 または 2 記載のデータ処理装置。

6. (補正) 前記周辺機器が高速アクセスを要求する種類のものである場合には、前記切換手段は、前記 I / O インターフェース手段を前記主データ処理機に接続し、また前記周辺機器が低速アクセスを要求する種類のものである場合には、前記切換手段は、前記 I / O インターフェース手段を前記副データ処理機に接続する請求項 1、2、4 および 5 のいずれか一項に記載のデータ処

理装置。

7. (補正) 前記切換手段が、前記主データ処理機によって実行されるプログラ

ムに従って切換機能を作動する請求項1、2、4ないし6のいずれか一項に記載のデータ処理装置。

8.(補正) 周辺機器から周辺機器データを収集するデータ収集手段と、

各所定時間間隔に収集された周辺機器データを用いて、所定時間間隔ごとにデータ処理を実行するデータ処理手段と、

周辺機器データの収集が、前回収集された周辺機器データについての情報に基づいて該データ処理が開始する直前に終了するよう、該データ収集手段を制御するデータ収集制御手段と、

を備える、周辺機器が接続されたデータ処理装置。

9.(補正) 周辺機器データの収集がデータ処理の開始時刻直前に終了するよう、前記データ収集制御手段は、周辺機器データの収集開始時刻を決定する請求項8記載のデータ処理装置。

10.(補正) 前記データ収集制御手段は、周辺機器データの前回の収集が前回のデータ処理の開始時刻前に終了した場合には、周辺機器データの収集がデータ処理の開始時刻直前に終了するよう、周辺機器データの前回の収集時間に基づき周辺機器データの収集開始時刻を決定する処理(1)と、周辺機器データの前回の収集が前回のデータ処理の開始時刻前に終了しなかった場合には、周辺機器データの収集開始時刻を早める処理(2)と、の少なくとも一つを実行することによって、周辺機器データの収集開始時刻を決定する請求項9記載のデータ処理装置。

11. 前記データ収集制御手段は、前記処理(1)および前記処理(2)を繰り返し実行する請求項10記載のデータ処理装置。

12.(補正) 前記データ収集制御手段は、周辺機器データの収集がデータ処理の開始時刻直前に終了するよう、データ収集手段において定められるデータ収集時間を制御する請求項8記載のデータ処理装置。

13.(補正) 前記副演算手段は、周辺機器から出力される周辺機器データの収集を所定の時刻に開始するデータ収集手段と、各所定時間間隔内で収集された周辺機器データを用いて、所定時間間隔ごとにデータ処理を実行するデータ処理手段と、周辺機器データの収集がデータ処理の開始時刻直前に終了するよう、周辺機

器データの収集開始時刻を決定するデータ収集制御手段とを備える請求項 1 ないし 7 のいずれか一項に記載のデータ処理装置。

14.(補正) 周辺機器の信号線がデータ処理装置の端子に接続しているか否かを判断する判断手段を備える請求項 1、2、4 ないし 13 のいずれか一項に記載のデータ処理装置。

15.(補正) 周辺機器から出力される周辺機器データの収集を、所定のデータ収集開始時刻に開始する工程と、

各所定時間間隔内に収集された周辺機器データを用いて、所定時間間隔ごとにデータ処理を実行する工程と、

周辺機器データの収集がデータ処理の開始時刻直前に終了するよう、周辺機器データのデータ収集開始時刻を決定する工程と、

を備えるデータ処理方法。

16. 周辺機器データの前回の収集がデータ処理の開始時刻までに終了した場合には、周辺機器データの前回の収集時間に基づき、周辺機器データの収集がデータ処理の開始時刻直前に終了するよう、前回收集された周辺機器データに基づき周辺機器データの収集開始時刻を決定する工程と、

周辺機器データの前回の収集がデータ処理の開始時刻までに終了しなかつ

た場合には、周辺機器データの収集開始時刻を早める工程と、

を備える請求項 15 記載のデータ処理方法。

17.(補正) 周辺機器に接続可能なコネクタ端子と、このコネクタ端子に接続された周辺機器からのデータを用いてデータ処理を行うデータ処理手段と、該周辺機器の信号線が該コネクタ端子に接続しているか否かを判断する判断手段とを備えるデータ処理装置であって、

前記コネクタ端子を介して前記周辺機器の種類識別用の識別データを読み出した後、この周辺機器に対して周辺機器データの通信を行う通信手段を備え、前記判断手段は、この通信手段によって所定時間間隔で複数回読み出された識別データが全て一致することを条件に、前記周辺機器の信号線が前記コネクタ端子に接続されたと判断するデータ処理装置。

18.(補正) 周辺機器に接続可能なコネクタ端子と、このコネクタ端子に接続された周辺機器からのデータを用いてデータ処理を行うデータ処理手段と、該周辺機器の信号線が該コネクタ端子に接続しているか否かを判断する判断手段とを備えるデータ処理装置であって、

前記コネクタ端子は、前記周辺機器が前記コネクタ端子に接続されていない時に、周辺機器の未接続状態を示す所定のデータが周辺機器から出力されるようにプルアップまたはプルダウンされ、当該データ処理装置は、コネクタ端子を介して前記周辺機器に対して周辺機器データの通信を行う通信手段を備え、該判断手段は、周辺機器の未接続状態を示す所定のデータの反転を含む接続確認用データが前記周辺機器から送信された場合であって、かつ、該通信手段により受信された接続確認用データが周辺機器の未接続状態を示す所定のデータが反転したものと異なると判断した場合には、周辺機器がコネクタ端子に未接続であると判断するデータ処理装置。

19.(補正) 周辺機器に接続可能なソケットコネクタ端子と、このソケットコネクタ端子に接続された周辺機器からのデータを用いてデータ処理を行うデータ

処理手段と、該周辺機器の信号線が該ソケットコネクタ端子に接続されているか否かを判断する判断手段とを備えるデータ処理装置であって、

前記ソケットコネクタ端子は、プラグコネクタ端子を有する周辺機器に接続可能であり、そのうち一つは電源またはグランド(GND)の何れかに接続され、当該データ処理装置は、プラグコネクタ端子およびソケットコネクタ端子を介して周辺機器に対して周辺機器データの通信を行う通信手段を備え、前記判断手段は、電源またはGNDの何れかに接続されたプラグコネクタ端子に対応するソケットコネクタ端子の信号レベルが、当該プラグコネクタ端子の信号レベルと異なる場合には、周辺機器がソケットコネクタ端子に未接続であると判断するデータ処理装置。

20.(補正) 周辺機器に接続可能なコネクタ端子と、このコネクタ端子に接続された周辺機器からのデータを用いてデータ処理を行うデータ処理手段と、該周辺機器の信号線が該コネクタ端子に接続しているか否かを判断する判断手段と、を

備えるデータ処理装置であって、

周辺機器に対してデータ要求の信号を送信した後、周辺機器から応答信号および周辺機器データの受信を行う通信手段を備え、前記判断手段は、この通信手段がデータ要求の信号を送信してから所定時間内に通信手段が応答信号を受信しなかった場合には、周辺機器がコネクタ端子に未接続であると判断するデータ処理装置。

21.(補正) 周辺機器からデータ処理装置に送信されたデータの処理方法であり、周辺機器に送信されたデータに基づいてこの周辺機器の信号線がデータ処理装置のコネクタ端子に接続しているか否かを判断する工程を備えるデータ処理方法。

22.(補正) データ処理装置に処理すべきデータを出力する周辺機器であり、該データ処理装置に接続されるコネクタ端子を備え、この端子が該データ処理装置に接続されていることの確認用データを出力する周辺機器。

23. 請求項 17 記載の識別データ、請求項 18 記載の接続確認用データ、請求項 19 記載の信号、請求項 20 記載の応答信号または周辺機器データのうちの少なくとも一つを出力する請求項 22 記載の周辺機器。

24.(補正) 周辺機器から供給される周辺機器データを処理するメイン CPU と、メイン CPU に接続された第 1 ROM と、メイン CPU のワークエリアとして機能する第 1 RAM と、バスを介してメイン CPU に接続され、かつコネクタを介して取り外し可能に周辺機器に接続されるサブ CPU 回路とを備える、周辺機器が取り外し可能に接続されたデータ処理装置であり、

該サブ CPU 回路は、バスに接続された第 1 インターフェースと、該第 1 インターフェースに接続された CPU コアおよび第 2 RAM と、該 CPU コアに接続された第 2 ROM と、CPU コアおよびコネクタの両方に接続された第 2 インターフェースとを備え、

前記第 1 ROM は、周辺機器から周辺機器データを収集するようにという指示をサブ CPU 回路に送る第 1 プログラムと、サブ CPU 回路によって収集された周辺機器データを取り出すための第 2 プログラムとを格納しており、前記第

2 R O Mは、前記指示に応じて周辺機器から周辺機器データを収集し、かつ収集された周辺機器データをメイン C P Uに提供するための第 3 プログラムを格納するデータ処理装置。

25. 前記コネクタは、9 個で一組の端子ピンが第 1 ピンから第 9 ピンまでの順番で一行に配されて組み込まれたソケットコネクタを有し、当該ピンには、周辺機器から延びるプラグコネクタの 9 個で一組の端子ピンが取り外し可能に接続されており、

ソケットコネクタの前記第 1 ピンは電源または地気電位の何れかに割り当てられ、ソケットコネクタの前記第 9 ピンは電源または接地電位のもう一方に割り当てられ、前記第 2 ピン、第 3 ピン、第 7 ピンおよび第 8 ピンはデータ信号の送信に割り当てられ、少なくとも前記第 4 ピンおよび第 5 ピンが制

御信号の送信に割り当てられ、

前記第 2 R O Mは、ソケットコネクタの第 2 ピン、第 3 ピン、第 7 ピンおよび第 8 ピンを介して供給されたデータ信号に基づき、周辺機器に元々設定されている通信方式を識別するプログラムを記憶する、請求項 2 4 記載のデータ処理装置。

26. メイン C P Uおよび C P Uコアに結合されたバスを第 2 インターフェースに選択的に接続するマルチプレクサをさらに備えるデータ処理装置であり、前記第 1 インターフェースは、マルチプレクサの交換を制御する手段を備える請求項 2 5 記載のデータ処理装置。

27. 前記第 1 インターフェースが、メイン C P Uと C P Uコアとの間でデータを送受信するレジスタテーブルを有する請求項 2 4 記載のデータ処理装置。

28. 前記レジスタテーブルは、C P Uコアへのコマンドを送信するためにメイン C P Uがコマンドを書き込むコマンドレジスタと、C P Uコアがコマンドを実行した後に C P Uコアの状態を検査するためにメイン C P Uが読み出すステータスレジスタデータと、メイン C P Uがコマンドレジスタにコマンドを書き込む前にステータスフラグをセットし、かつ C P Uコアがコマンドを実行した後にステータスフラグをリセットすることにより、C P Uコアがコマンド実行中であるか

否かを示すステータスフラグと、メインCPUがコマンドに関連するコマンドパラメータを書き込んでコマンドパラメータをCPUコアに送信するための入力レジスタと、CPUコアがデータを書き込んで該データをメインCPUに送信するための出力レジスタとを備える請求項27のデータ処理装置。

29. メインCPUによって実行される前記第1プログラムは、ステータスフラグがCPUコアによってリセットされているか否かを定期的に判断し、ステータスフラグがリセットされていない場合に待機するだけではなく、ステータ

スフラグがリセットされている場合にはステータスフラグをセットしてから、周辺機器データを収集するためのコマンドのパラメータを入力レジスタに書き込み、そして周辺機器データを収集するためのコマンドをコマンドレジスタに書き込み、

CPUコアによって実行される前記第3プログラムは、周辺機器データを収集するためのコマンドをコマンドレジスタから読み出してから、指定期間ごとに周辺機器と通信することにより周辺機器のタイプおよびその通信モードを識別するだけではなく、その通信方式に従って周辺機器から周辺機器データを読み出し、そして読み出した周辺機器データを出力レジスタに書き込み、

メインCPUによって実行される前記第2プログラムは、指定期間ごとに出力レジスタに記憶された周辺機器データを読み出す。

請求項28記載のデータ処理装置。

30.(補正) 周辺機器から供給された周辺機器データを処理するメインCPUと、メインCPUに接続された第1ROMと、メインCPUのワークエリアとして機能する第1RAMと、バスを介してメインCPUに接続され、かつコネクタを介して周辺機器に取り外し可能に接続されたサブCPUとを備える、周辺機器が取り外し可能に接続されたデータ処理装置であり、

該サブCPU回路は、バスに接続された第1インターフェースと、該インターフェースに接続されたCPUコアおよび第2RAMと、該CPUコアに接続された第2ROMと、CPUコアおよびコネクタの両方に接続された第2インターフェースとを備え、

前記第2ROMは、メインCPUから与えられたコマンドに応じて周辺機器から周辺機器データを収集してから、収集された周辺機器データをメインCPUに送るプログラムを記憶しており、メインCPUにおいて、周辺機器データの収集開始時刻は、周辺機器データの収集終了時刻がメインCPUでの周辺機器データの処理開始時刻と一致するように、指定時刻ごとに最適化されるデータ処理装置。

31. メインCPUによって実行された周辺機器データの処理結果を表示するためにモニターがデータ処理装置に接続されており、前記指定時刻は、該モニターによって使用される垂直帰線消去信号の最初のトランシットまたは最後のトランシットのいずれかによって決定される請求項30記載のデータ処理装置。

32. 前記プログラムが、周辺機器データの収集開始時刻の最適化に関するフラグおよび変数を初期化する第1工程と、第1プロセスの後に、収集指示に応じて割り込んで開始時刻を計算する第2工程と、算出された開始時刻まで待機するだけではなく、算出された開始時刻になったときに周辺機器データを収集する第3工程とを含む請求項31記載のデータ処理装置。

33. 前記フラグが、開始時刻が次の周辺機器データ収集期間内に最適化されるか否かを示す第1フラグと、CPUコアによって実行された周辺機器データの収集中に垂直帰線消去信号が現れたタイムアウトが生じたか否かを示す第2フラグとからなり、前記変数は開始時刻を示し、前記第1フラグは第1工程によって、開始時刻の最適化は行われなかったことを表す論理値「0」にセットされ、また第2フラグは第1工程によって、タイムアウトが生じたことを表す論理値「1」にセットされる請求項32記載のデータ処理装置。

34. 前記第2工程は、第1フラグまたは第2フラグのいずれかが論理値「1」であるときにカウンタのカウントをクリアし、第1フラグおよび第2フラグの両方の論理値が「0」のときには前記変数の値を前記変数の現在値の追加工、カウンタのカウント、およびタイムマージン値と置き換え、第1フラグを論理値「1」にセットし、そしてカウンタのカウントをクリアする工程である請求項33記載のデータ処理装置。

35. 前記第3工程は、第2フラグを論理値「0」にセットし、第1フラグが論理値

「1」である場合にのみ第1フラグを論理値「0」にセットし、カウンタのカウントが前記変数の値に達するまで待機し、前記変数の値をカウンタの現在カウントに置き換え、周辺機器データの収集の間にタイムアウトが生じたときには、周辺機器データを収集して、収集された周辺機器データをメインCPUに送るだけではなく、第2フラグの論理値を「1」にセットし、そしてカウンタのカウントを取り消す工程である請求項34記載のデータ処理装置。

36.(補正) 周辺機器から供給された周辺機器データを処理するメインCPUと、メインCPUに接続された第1ROMと、メインCPUのワークエリアとして機能する第1RAMと、バスを介してメインCPUに接続されるサブCPU回路と、バスが接続され、かつ周辺機器のプラグコネクタに取り外し可能に接続されるソケットコネクタとを備える、プラグコネクタを有する周辺機器が取り外し可能に接続されたデータ処理装置であり、

該サブCPU回路は、バスに接続された第1インターフェースと、第1インターフェースに接続されたCPUコアおよび第2RAMと、CPUコアに接続された第2ROMと、CPUコアおよびソケットコネクタの両方に接続された第2インターフェースとを備え、

該第2ROMは、サブCPU回路がメインCPUからのコマンドに応答して周辺機器から周辺機器データを収集するときに、周辺機器のプラグコネクタのソケットコネクタへの接続状態を自動的に認識するためのプログラムを格納するデータ処理装置。

37. 前記ソケットコネクタが、第1ピンから第9ピンまでの順番で一行に配された9個で一組の端子ピンを備え、該第1ピンは電源または地気電位の何れかに割り当てられ、該第9ピンは電源または地気電位のもう一方に割り当てられ、該第2ピン、第3ピン、第7ピンおよび第8ピンはデータ信号の送信に割り当てられ、該第4ピンないし第6ピンは制御信号の送信に割り当てられ、前記プラグコネクタは、第1ピンから第9ピンまでの順番で一行に配された他の9個で一組の

端子ピンを備え、それぞれの端子ピンはソケットコネクタ

の第1ピンから第9ピンそれぞれに取り外し可能に接続される請求項36記載のデータ処理装置。

38. ソケットコネクタの前記第2ピンないし第8ピンに接続された信号線それぞれが、論理値「1」を示す電源にレジスタを介して接続される請求項37記載のデータ処理装置。

39. 第2ROMに記憶された前記プログラムは、「1」および「0」がそれぞれ電源および地気電位を表す場合、制御信号「1」および「1」が第1ピンおよび第5ピンそれぞれを介して供給される状態と、制御信号「0」および「1」が第4ピンおよび第5ピンそれぞれを介して供給される状態のそれぞれにおいて、第7ピン、第8ピン、第2ピンおよび第3ピンを介して受ける周辺機器からのデータ信号を用いて、指定時刻ごとに識別データを算出するプロセスを含み、識別データの計算値が、ある長さの指定時間を超えてプラグコネクタがソケットコネクタに接続されている状況を示す場合に、周辺機器が当該データ処理装置に完全に接続されていると判断する請求項38記載のデータ処理装置。

40. 第2ROMに記憶される前記プログラムは、現指定時刻の識別データが前回の指定時刻のものとは計算値が異なる場合に、周辺機器が当該データ処理装置に接続されていない状況であると判断する他のプロセスを含む請求項39記載のデータ処理装置。

41.(補正) メインCPUを含むデータ処理装置に使用するためのデータ処理機であり、

データ処理機がこれを介して、装置の周辺機器ポートに取り外し可能に接続することができる周辺機器と通信するI/Oインターフェース手段と、

データ処理機がこれを介してメインCPUと通信するCPUバス手段と、

メインCPUから与えられたコマンドを実行するためにCPUバス手段に機能的に接続されたCPUコアと、

コマンドの処理のために必要なプログラムを格納しているROMと、周辺

機器が要するアクセス速度に従って、CPUバス手段またはCPUコアのいずれかを選択してこれに該I/Oインターフェースを機能的に接続する切換手段とを備える、データ処理機。

42.(補正) 前記切換手段は、前記I/Oインターフェース手段に接続されたマルチプレクサと、CPUコアおよびCPUバス手段にマルチプレクサを機能的に接続するレジスタ手段とを備える請求項41記載のデータ処理装置。

43.(補正) 前記レジスタ手段は、マルチプレクサをCPUコアに機能的に接続する第1レジスタ群と、マルチプレクサをCPU手段に機能的に接続する第2レジスタ群と、I/O選択レジスタにセットされたデータに応じてメインCPUまたはCPUコアのどちらかが周辺機器にアクセスできるように、マルチプレクサの切換機能を制御するI/O選択レジスタとを備える請求項42記載のデータ処理装置。

44.(補正) 前記第1および第2レジスタ群はそれぞれ、周辺機器ポートの入出力データの信号線の方向をセットするデータ方向レジスタと、周辺機器ポートにデータを記憶するポートデータレジスタとを備える請求項43記載のデータ処理装置。

45.(補正) 前記マルチプレクサは、I/O選択レジスタにセットされた制御データに応じて切換機能を果たす複数の三状態バッファを備える請求項42記載のデータ処理装置。

46.(補正) ROMに格納された前記プログラムとは、CPUコアが周辺機器データの収集開始を知らせるコマンドをメインCPUから受け取ったときに、周辺機器から周辺機器データを収集して、該周辺機器データをメインCPUに

送るプログラムである請求項41記載のデータ処理装置。

47.(補正) CPUコアとCPUバス手段との間に設けられたインターフェース手段をさらに備え、かつメインCPUとCPUコアとの間のデータ通信がこれを介して行われるレジスタテーブルを有する請求項46記載のデータ処理装置。

48.(補正) 前記レジスタテーブルは、メインCPUがCPUコアにコマンドを送るためにそのコマンドを書き込むコマンドレジスタと、CPUコアがコマンド

を実行した後でCPUコアの状態を検査するためにメインCPUが読み出すステータスレジスタデータと、メインCPUがコマンドレジスタにコマンドを書き込む前にはステータスフラグをセットし、かつCPUコアがコマンドを実行した後はステータスフラグをリセットすることにより、CPUコアがコマンド実行中であるか否かを示すステータスフラグと、コマンドパラメータをCPUコアに送るためにメインCPUがコマンドに関連するコマンドパラメータを書き込む入力レジスタと、データをメインCPUに送るためにCPUコアがデータを書き込む出力レジスタとを備える請求項47記載のデータ処理装置。

49.(新規) 周辺機器データを処理する主データ処理機と、

該主データ処理機に機能的に接続された副データ処理機と、

周辺機器が取り外し可能に接続できる周辺機器ポートと、

該周辺機器ポートに接続されたI/Oインターフェース手段と、

主データ処理機がI/Oインターフェース手段を介して周辺機器に直接アクセスして周辺機器データを収集できるようにする第1制御モードか、または副データ処理機がI/Oインターフェース手段を介して周辺機器にアクセスして周辺機器データを収集し、かつ収集した周辺機器データを主データ処理機に提供できるようにする第2制御モードのいずれか一つの指定に応じて、I/Oインターフェース手段を介しての周辺機器へのアクセスを、主データ

処理機からと副データ処理機からのいずれかに切り換える切換手段と、

を有する、データ処理装置に周辺機器データを供給するための周辺機器であり、

該周辺機器が、主データ処理機または副データ処理機のいずれかのアクセスに応じて周辺機器データをI/Oインターフェース手段に供給するように、該周辺機器は構成されており、該周辺機器データはユーザーによって手で入力されたデータを含む周辺機器。

50.(新規) 前記周辺機器データが、周辺機器の種類を示す識別データを含み、これにより副データ処理機が周辺機器の種類を識別する請求項49記載の周辺機器。

51.(新規) 前記周辺機器データは、周辺機器がデータ処理装置の周辺機器ポートに接続されたことを確認するためのデータを含む請求項 4 9 記載の周辺機器。

52.(新規) 周辺機器がデータ処理装置に取り外し可能に接続することができ、データ処理装置において、周辺機器が高速アクセスを要求する種類のものである場合には切換手段が I / O インターフェース手段を主データ処理機に接続し、一方、周辺機器が低速アクセスを要求する種類のものである場合には切換手段が I / O インターフェース手段を副データ処理機に接続する請求項 4 9 記載の周辺機器。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/JP 95/02072

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 G06K11/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 G06K A63F H01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO,A.94 16774 (LIFE FITNESS) 4 August 1994 see the whole document ---	1-8, 14, 15, 17-22, 24, 30, 36, 41
X	US,A.4 912 672 (GIORGIO) 27 March 1990 see figures 1-3 see column 2, line 41 - column 8, line 53 -----	1, 3-7, 20-22, 41, 42, 45

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- *A* document member of the same patent family

Date of the actual completion of the international search

26 January 1996

Date of mailing of the international search report

09.02.96

Name and mailing address of the ISA

European Patent Office, P.B. 5815 Patentplan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3086

Authorized officer

Weiss, P

INTERNATIONAL SEARCH REPORT

Int. Application No.

PCT/JP 95/02072

Patent documents cited in search report	Publication date	Patent family member(s)	Publication date
WO-A-9416774	04-08-94	AU-B- 3594793	15-08-94
		AU-B- 6024094	15-08-94
		WO-A- 9416777	04-08-94
US-A-4912672	27-03-90	US-A- 5119077	02-06-92

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(KE, MW, SD, SZ, UG), AL, AM, AU, BB, BG, BR, BY, CA, CN, CZ, EE, FI, GE, HU, IS, JP, KE, KG, KR, KZ, LK, LR, LT, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, RO, RU, SD, SG, SI, SK, TJ, TM, TT, UA, UG, US, UZ, VN

(72)発明者 池部 元

東京都多摩市諏訪2丁目5番1号 シー
エス ケイ リサーチ インスティテュー
ト コーポレーション 気付

(72)発明者 川堀 昌樹

東京都大田区羽田1丁目2番12号 株式会
社セガ・エンタープライゼス内